

1324.65736

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application)
)
Applicant: Taniguchi et al.)
)
Serial No.)
)
Filed: August 6, 2001)
)
For: COMMON ELECTRODE)
SUBSTRATE AND LIQUID)
CRYSTAL DISPLAY DEVICE)
HAVING THE SAME)
Art Unit:)

I hereby certify that this paper is being deposited with the United States Postal Service as EXPRESS MAIL in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on August 6, 2001 Express Label No.: EL846221827US

Signature: *Daniel L. Lerner*
EXPRESS WCM
Appr. February 20, 1998

#3
jc971 U.S. PTO
09/923076
08/06/01

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

Applicant claims foreign priority benefits under 35 U.S.C. § 119 on the basis of the foreign application identified below:

Japanese Patent Application No. 2000-356218, filed November 22, 2000.

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By *Patrick G. Burns*
Patrick G. Burns
Reg. No. 29,367

August 6, 2001
300 South Wacker Drive
Suite 2500
Chicago, IL 60606
(312) 360-0080
Customer Number: 24978

1324.65736
(312) 360.0087
JC971 U.S. PRO
09/923076
08/06/01

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月22日

出 願 番 号

Application Number:

特願2000-356218

出 願 人

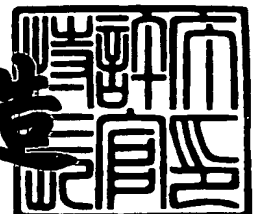
Applicant(s):

富士通株式会社

2001年 5月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3040563

【書類名】 特許願

【整理番号】 0000779

【提出日】 平成12年11月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明の名称】 共通電極基板及びそれを備えた液晶表示装置

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 谷口 洋二

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 井上 弘康

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100101214

【弁理士】

【氏名又は名称】 森岡 正樹

【手数料の表示】

【予納台帳番号】 047762

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2 0 0 0 - 3 5 6 2 1 8

【包括委任状番号】 9905855

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 共通電極基板及びそれを備えた液晶表示装置

【特許請求の範囲】

【請求項 1】

複数のゲートバスライン及びドレインバスラインで画定された画素領域内に形成された画素電極を有するアレイ基板に対向して配置され、負の誘電率異方性を有する液晶を挟持する透明絶縁性基板と、

前記透明絶縁性基板上に形成された共通電極と、

前記共通電極上に形成された線状の突起を有する配向規制用構造物と、

前記透明絶縁性基板上に形成され、前記画素電極端部に生じた前記液晶の配向不良領域を遮光するように、前記透明絶縁性基板面に垂直な方向から見て、前記画素電極と重なる重なり領域を有する遮光膜と

を備えることを特徴とする共通電極基板。

【請求項 2】

請求項 1 記載の共通電極基板において、

前記配向規制用構造物は、前記突起より延出し、前記画素電極端部であって前記ドレインバスラインに沿う方向に形成された補助突起をさらに有し、

前記遮光膜は、前記透明絶縁性基板面に垂直な方向から見て、前記補助突起の形成されていない領域で前記重なり領域を有していること

を特徴とする共通電極基板。

【請求項 3】

請求項 1 又は 2 に記載の共通電極基板において、

前記遮光膜は、前記透明絶縁性基板面に垂直な方向から見て、前記液晶の前記配向不良領域以外の正常配向領域で前記画素電極より外側に形成されていることを特徴とする共通電極基板。

【請求項 4】

複数のゲートバスライン及びドレインバスラインで画定された画素領域内に形成された画素電極を有するアレイ基板に対向して配置され、負の誘電率異方性を有する液晶を挟持する透明絶縁性基板と、

前記透明絶縁性基板上に形成された共通電極と、
前記共通電極上に形成された線状の突起を有する配向規制用構造物と、
前記透明絶縁性基板上に形成され、前記透明絶縁性基板面に垂直な方向から見て、前記液晶の配向不良領域以外の正常配向領域で前記画素電極より外側に形成された遮光膜と
を備えることを特徴とする共通電極基板。

【請求項 5】

請求項 4 記載の共通電極基板において、
前記配向規制用構造物は、前記突起より延出し、前記画素電極端部であって前記ドレインバスラインに沿う方向に形成された補助突起をさらに有し、
前記遮光膜は、前記透明絶縁性基板面に垂直な方向から見て、前記補助突起が形成された領域で前記画素電極より外側に形成されていること
を特徴とする共通電極基板。

【請求項 6】

複数のゲートバスライン及びドレインバスラインで画定された画素領域内に形成された画素電極を有するアレイ基板に対向して配置され、負の誘電率異方性を有する液晶を挟持する透明絶縁性基板と、
前記透明絶縁性基板上に形成され、前記画素電極と前記ドレインバスラインとの間の領域に対向する領域に前記液晶を配向規制するための段差が形成された共通電極と、
前記共通電極上に形成された線状の突起を有する配向規制用構造物と、
を備えることを特徴とする共通電極基板。

【請求項 7】

請求項 6 記載の共通電極基板において、
前記配向規制用構造物は、前記突起より延出し、前記画素電極端部であって前記ドレインバスラインに沿う方向に形成された補助突起をさらに有し、
前記段差は、前記補助突起の形成されていない領域に形成されていること
を特徴とする共通電極基板。

【請求項 8】

複数のゲートバスライン及びドレインバスラインで画定された画素領域内に形成された画素電極を有するアレイ基板と、前記アレイ基板に対向して配置され全面に共通電極が形成された対向基板と、前記アレイ基板及び前記対向基板の間に封入された負の誘電率異方性を有する液晶とを有する液晶表示装置であって、

前記対向基板として、請求項 1 乃至 7 のいずれか 1 項に記載の共通電極基板を用いること

を特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アレイ基板に対向して配置される共通電極基板及びそれを備えた液晶表示装置に関する。

【0002】

【従来の技術】

液晶表示装置は一对の基板の間に封入された液晶を含む。一对の基板はそれぞれ電極及び配向膜を有する。従来から広く用いられている TN (Twisted Nematic) モード液晶表示装置は水平配向膜及び正の誘電率異方性を有する液晶を含み、電圧が印加されていないときに液晶は水平配向膜に対してほぼ平行に配向する。電圧を印加すると、液晶は水平配向膜に対してほぼ垂直になる方向に立ち上がる。

【0003】

TN モード液晶表示装置は薄型化が可能である等の利点を有するが、第 1 に視野角が狭い、第 2 にコントラストが低いという欠点をもつ。この第 1 の欠点を改良し、広い視野角を図る方法として配向分割がある。配向分割は、一画素を 2 つの領域に分割して、一方の領域では液晶が一方の側に向かって立ち上がり又は倒れ、他方の領域では液晶が反対の側に向かって立ち上がり又は倒れるようにする。一画素内で視角特性の異なる領域を形成することで、全体として見た場合に視角特性を平均化して広い視野角を得ることができる。

【0004】

液晶の配向を制御するためには、通常、配向膜にラビングを行う。配向分割を行う場合には、マスクを使用して一画素の一方の領域を第 1 の方向にラビングし、それから補完的なマスクを使用して一画素の他方の領域を第 1 の方向とは反対の第 2 の方向にラビングする。あるいは、配向膜全体を第 1 の方向にラビングし、マスクを使用して一画素の一方の領域又は他方の領域に選択的に紫外線照射を行い、一方の領域と他方の領域とで液晶のプレチルトに差ができるようにする。

【 0 0 0 5 】

水平配向膜を用いた液晶表示装置では、ラビングを行う必要があり、ラビング時に発生する汚染や静電気による障害が歩留まり低下の要因となっている。

【 0 0 0 6 】

一方、垂直配向膜を使用した V A (V e r t i c a l l y A l i g n e d) モード液晶表示装置では、電圧が印加されていないときに液晶は垂直配向膜に対してほぼ垂直に配向し、電圧を印加すると液晶は垂直配向膜に対して水平となる方向に倒れる。このようにすることで高いコントラストが得られ、前記 T N モード液晶表示装置の第 2 の欠点であるコントラストの低さは解消されるが、垂直配向膜を使用した一般的な V A モード液晶表示装置でも、液晶の配向を制御するためには通常配向膜にラビングを行う。

【 0 0 0 7 】

本願の出願人による特願平 1 0 - 1 8 5 8 3 6 号は、ラビングを行わずに液晶の配向を制御することのできる液晶表示装置を提案している。この液晶表示装置は、垂直配向膜及び負の誘電率異方性を有する液晶を有する V A モード液晶表示装置であり、液晶の配向を制御するために一对の基板の各々に設けられた線状の配向規制用構造物（突起又はスリット）を備えている。

【 0 0 0 8 】

なお、本明細書内においては、以後この方式の V A モード液晶表示装置を M V A (M u l t i - d o m a i n V e r t i c a l A l i g n m e n t) 液晶表示装置という。

【 0 0 0 9 】

M V A 液晶表示装置は、ラビングが不要であり、しかも線状の配向規制用構造

物の配置により配向分割を達成することができるという利点を有している。したがって、MVA液晶表示装置は、広い視野角と高いコントラストを得ることが可能となる。ラビングを行う必要がないので、液晶表示装置の製造が簡単であり、ラビング時の配向膜の削りかす等による汚染がなく、液晶表示装置の信頼性が向上する。

【 0 0 1 0 】

図 2 1 は、従来の MVA 液晶表示装置の基本構成を示す平面図であり、一画素とその周辺領域を示している。MVA 液晶表示装置は、各画素にスイッチング素子として薄膜トランジスタ (TFT) 1 0 2 を備えたアクティブマトリクス型の液晶表示装置である。

【 0 0 1 1 】

TFT 1 0 2 が設けられているアレイ基板 1 2 2 には、図中左右方向に延びるゲートバスライン 1 0 4 と、図中上下方向に延びるドレインバスライン 1 0 6 が形成されている。TFT 1 0 2 は、ドレインバスライン 1 0 6 から延びるドレイン電極 1 0 8 と、ドレイン電極 1 0 8 と対向配置されるソース電極 1 1 0 と、ゲートバスライン 1 0 4 のうちドレイン電極 1 0 8 及びソース電極 1 1 0 とオーバーラップする部分 (ゲート電極) とからなる。また、図示しないが、ゲートバスライン 1 0 4 上には、例えばアモルファスシリコン (α -Si) 膜からなるチャネル層が形成されている。さらに、アレイ基板 1 2 2 にはソース電極 1 1 0 に接続される画素電極 1 1 2 が形成されている。画素電極 1 1 2 には、画素電極 1 1 2 端辺に対して斜めになるようにスリット 1 1 4 が設けられ、このスリット 1 1 4 がアレイ基板 1 2 2 側の液晶の配向を制御する配向規制用構造物となる。画素電極 1 1 2 にはスリット 1 1 4 によって電氣的に分離されないように接続部 1 1 6 が設けられ、これによって一画素内の画素電極 1 1 2 は電氣的に接続されている。

【 0 0 1 2 】

共通電極及びカラーフィルタ (図 2 1 では共に図示せず) が形成される共通電極基板 1 2 8 上には、アレイ基板 1 2 2 上の TFT 1 0 2 が形成されている領域と、それ以外の領域であって画素電極 1 1 2 又は配向規制用構造物 (図 2 1 では

スリット 1 1 4) が形成されていない領域に遮光膜 1 3 6 (図中左上から右下へ引いたハッチングで示している) が形成されている。遮光膜 1 3 6 は、T F T 1 0 2 のチャンネル層に光が入射して生じるリーク電流を抑制し、また隣接する画素電極 1 1 2 間からの光漏れを防ぎ、さらに隣接画素間の混色を防止するために形成されている。そのため遮光膜 1 3 6 は、共通電極基板 1 2 8 面に垂直な方向から見て、画素電極 1 1 2 端辺に遮光膜 1 3 6 端辺がほぼ一致するように形成されている。また、共通電極基板 1 2 8 上には、配向規制用構造物となる突起 1 1 8 が形成され、対向するアレイ基板 1 2 2 上に形成されているスリット 1 1 4 とともに液晶の配向を制御している。

【0 0 1 3】

例えば、対角 1 5 インチの X G A の液晶表示装置 (L C D パネル) の場合、一画素の大きさは $99\mu\text{m} \times 297\mu\text{m}$ である。スリット 1 1 4 及び突起 1 1 8 の幅はそれぞれ $10\mu\text{m}$ であり、スリット 1 1 4 と突起 1 1 8 との間隔は基板面方向に見て $25\mu\text{m}$ である。また、画素電極 1 1 2 の接続部 1 1 6 の幅は $4\mu\text{m}$ であり、ドレインバスライン 1 0 6 端部と画素電極 1 1 2 端部の距離は $7\mu\text{m}$ である。

【0 0 1 4】

図 2 2 乃至図 2 4 は、図 2 1 における E - E 線での簡略化した断面図であり、液晶の配向を制御する配向規制用構造物であるスリット 1 1 4 と突起 1 1 8 の作用を示している。図 2 2 は、一对の基板 1 2 2、1 2 8 の電極間に電圧が印加されていないときの液晶の状態を示している。アレイ基板 1 2 2 側には、ガラス基板 1 2 0 上に画素電極 1 1 2 が形成され、画素電極 1 1 2 にはスリット 1 1 4 が形成されている。さらに、画素電極 1 1 2 及びスリット 1 1 4 を覆って配向膜 (垂直配向膜) 1 2 6 が形成されている。一方、共通電極基板 1 2 8 側には、ガラス基板 1 2 0 上に画素電極 1 1 2 と対向して全面に共通電極 1 2 4 が形成され、共通電極 1 2 4 上にレジスト等の絶縁体 (誘電体) からなる突起 1 1 8 が形成されている。さらに、共通電極 1 2 4 及び突起 1 1 8 を覆って配向膜 1 2 6 が形成されている。

【0 0 1 5】

また、アレイ基板 1 2 2 と共通電極基板 1 2 8 との間には液晶 LC が封止されており、液晶分子（図中、長円で示す）は配向膜 1 2 6 に対して垂直に配向している。したがって、突起 1 1 8 表面に形成されている配向膜 1 2 6 に対しても液晶分子は垂直に配向し、突起 1 1 8 表面近傍の液晶分子はガラス基板 1 2 0 に対して傾斜した状態となる。ただし、厳密に見ると、突起 1 1 8 表面近傍の液晶分子は配向膜 1 2 6 に対して垂直には配向していない。それは、突起 1 1 8 が形成されていない領域では液晶分子は配向膜 1 2 6 によりガラス基板 1 2 0 に対して略垂直に配向しており、液晶の連続体性のために画素中の大部分を占める液晶分子に倣い、配向膜 1 2 6 に垂直な方向からガラス基板 1 2 0 の法線方向よりに傾斜した状態となっている。また、図示していないが、アレイ基板 1 2 2 及び共通電極基板 1 2 8 のガラス基板 1 2 0 の外側には一対の偏光板がクロスニコルの状態で配置され、よって、電圧無印加の状態では黒表示となる。

【 0 0 1 6 】

図 2 3 は、一対の基板の電極間に電圧を印加したときの等電位線を示している。図 2 4 はそのときの液晶の状態を示している。図 2 3 中に破線で示す等電位線に示されるように、画素電極 1 1 2 及び共通電極 1 2 4 間に電圧を印加すると、スリット 1 1 4 や突起 1 1 8 が形成された部分での電界の分布が他の部分とは異なるようになる。これは、スリット 1 1 4 が形成された部分では、画素電極 1 1 2 の端部より対向する共通電極 1 2 4 へ向けて斜めの電界が形成されるためであり、突起 1 1 8 が形成された部分では、突起 1 1 8 が共通電極 1 2 4 上に設けられた誘電体であることによって電界が歪められるためである。したがって、図 2 4 に示されるように、液晶分子は図中矢印の方向に、すなわち電界の方向と垂直となる方向に電圧の大きさに応じて倒れていき、電圧印加の状態では白表示が得られることとなる。

【 0 0 1 7 】

このとき突起 1 1 8 近傍の液晶分子は、突起 1 1 8 が図 2 1 に示すように線状に設けられたものである場合、突起 1 1 8 を境界として突起 1 1 8 が設けられる方向に対して略垂直な 2 方向に倒れる。突起 1 1 8 近傍の液晶分子は、電圧無印加の状態でもガラス基板 1 2 0 に対する垂直方向よりわずかに傾斜しているので

電界に素早く応答して倒れ込み、周りの液晶分子もその挙動に倣うようにして、さらに、電界の影響も受けながら素早く倒れていく。同様に、スリット 1 1 4 近傍の液晶分子も、スリット 1 1 4 が図 2 1 に示されるように線状に設けられたものである場合、スリット 1 1 4 を境界としてスリット 1 1 4 が設けられる方向に対して略垂直な 2 方向に倒れる。

【 0 0 1 8 】

このようにして、図 2 2 に示した 2 つの一点鎖線の間領域では、液晶分子が同じ方向に倒れ、すなわち同じ方向に配向する領域が形成される。図 2 1 中の〔 A 〕で示す領域である。そして、図 2 1 に〔 A 〕～〔 D 〕で代表的に示すように、MVA 液晶表示装置では、1 つの画素中に 4 つの異なる配向方向の領域が形成されるため、広視野角という特性が得られる。なお、このような配向規制用構造物による配向制御は、図 2 1 乃至図 2 4 に示すようなスリット 1 1 4 と突起 1 1 8 の組合せの場合のみではなく、配向規制用構造物として、突起と突起、あるいはスリットとスリットを用いた場合でも、同様な配向制御を行うことができる。

【 0 0 1 9 】

MVA 液晶表示装置においては広視野角は得られるものの、液晶分子の配向の安定しない領域が存在し、それにより輝度が低下するという問題が存在した。すなわち、電極間に電圧を印加した場合に、図 2 1 において斜線で示すような配向不良領域 1 3 0 が発生する。この配向不良領域 1 3 0 は光の透過率が悪い領域であるため、白表示を行った場合に輝度を低下させる原因となっている。この配向不良領域 1 3 0 は、基板面に垂直な方向から見て、共通電極基板 1 2 8 に設けられた配向規制用構造物（図 2 1 では突起 1 1 8）が画素電極 1 1 2 端辺と鈍角をなす側のドレインバスライン 1 0 6 に沿う方向に発生する。配向不良領域 1 3 0 が発生している領域では、液晶分子は一对の基板に設けられた配向規制用構造物（図 2 1 では突起 1 1 8 及びスリット 1 1 4）によって制御される配向方向とは異なる配向方向となっている。

【 0 0 2 0 】

図 2 5 は、上記従来の課題を解決した MVA 液晶表示装置を示す平面図であり、一画素とその周辺領域を示している。なお、図 2 1 に示した概略断面図の構成

要素と同一の機能作用を有する構成要素については、同一の符号を付してその説明を省略する。図 2 5 に示す M V A 液晶表示装置は、図 2 1 に示した配向不良領域 1 3 0 を強く配向規制するために形成された配向規制用構造物である補助突起 1 3 2 を有している。補助突起 1 3 2 は、突起 1 1 8 から延出し、画素電極 1 1 2 端部であってドレインバスライン 1 0 6 に沿う方向に形成されている。この補助突起 1 3 2 により、液晶分子（図中、円柱で示す）a は液晶分子 b と連続的に配向し、配向不良領域 1 3 0 の液晶分子の配向は安定する。

【 0 0 2 1 】

【発明が解決しようとする課題】

図 2 6 は、従来の M V A 液晶表示装置で白を背景にして、図中上下方向に長い帯状の黒色の図形（以下黒縦帯という）を表示したときの表示領域を示している。表示領域 1 3 4 において、背景の一部である画素 A は白を表示しており、黒縦帯状の中の画素 B は黒を表示している。図中で黒縦帯の下に位置する画素 C は白を表示しているが、画素 A と比較すると暗くなっている。画素 A と比較したときの画素 C の暗さは、黒縦帯が図中縦に長くなるほど増加する。上記のように、従来の M V A 液晶表示装置は、白背景において黒縦帯を表示したとき、白を表示している黒縦帯の下領域が他の白を表示している領域と比較して暗く表示されてしまうという問題を有している。

【 0 0 2 2 】

また同様に、図 2 7 は従来の M V A 液晶表示装置で黒を背景にして、図中上下方向に長い帯状の白色の図形（以下白縦帯という）を表示したときの表示領域を示している。表示領域 1 3 4 において、背景の一部である画素 A は黒を表示しており、白縦帯の中の画素 B は白を表示している。図中で白縦帯の下に位置する画素 C は黒を表示しているが、画素 A と比較すると明るくなっている。画素 A と比較したときの画素 C の明るさは、白縦帯が図中縦に長くなるほど増加する。上記のように、従来の M V A 液晶表示装置は、黒背景において白縦帯を表示したとき、黒を表示している白縦帯の下領域が他の黒を表示している領域と比較して明るく表示されてしまうという問題を有している。以後上記のように、画素 C 周辺の領域が画素 A 周辺の領域と比較して明るく又は暗くなる現象を縦クロストーク

という。縦クロストークは、補助突起 1 3 2 が形成されていない画素電極 1 1 2 端部とドレインバスライン 1 0 6 との間に生じる横電界が液晶の配向に影響を与えることにより発生する。

【 0 0 2 3 】

本発明の目的は、輝度が高く良好な表示特性の得られる共通電極基板及びそれを備えた液晶表示装置を提供することにある。

【 0 0 2 4 】

【課題を解決するための手段】

上記目的は、複数のゲートバスライン及びドレインバスラインで画定された画素領域内に形成された画素電極を有するアレイ基板に対向して配置され、負の誘電率異方性を有する液晶を挟持する透明絶縁性基板と、前記透明絶縁性基板上に形成された共通電極と、前記共通電極上に形成された線状の突起を有する配向規制用構造物と、前記透明絶縁性基板上に形成され、前記画素電極端部に生じた前記液晶の配向不良領域を遮光するように、前記透明絶縁性基板面に垂直な方向から見て、前記画素電極と重なる重なり領域を有する遮光膜とを備えることを特徴とする共通電極基板によって達成される。

【 0 0 2 5 】

【発明の実施の形態】

本発明の第 1 の実施の形態による共通電極基板及びそれを備えた液晶表示装置を図 1 乃至図 1 8 を用いて説明する。まず、本発明の実施の形態の前提となる従来の M V A 液晶表示装置における縦クロストークの主な発生原因について、図 1 乃至図 1 1 を用いて説明する。図 1 乃至図 3 は、図 2 6 に示した各画素 A、B、C 内におけるゲート電圧、ドレイン電圧、画素電圧及びコモン電圧の一例を示すグラフである。図 1 は、画素 A におけるゲート電圧 V_g 、ドレイン電圧 V_d 、画素電圧 V_p 及びコモン電圧 V_{com} を示している。横軸は時間を表しており、図 1 ではほぼ 2 フレーム分（例えば約 1 / 3 0 秒）を示している。縦軸は電圧（V）を表している。図 2 6 中で画素 A を含むドレインバスライン上の全ての画素は白を表示しているため、ドレイン電圧 V_d はフレーム周期で + 5 V 又は - 5 V となる。ゲート電極（図示せず）にゲート電圧 V_g が印加されたとき、ドレイン電圧 V_d の

+ 5 V 又は - 5 V が画素電圧 V_p として画素 A に書き込まれる。画素電圧 V_p は、蓄積容量（図示せず）により次のフレームまではほぼその電位が保持される。本例ではコモン電圧 V_{com} は常に 0 V である。画素電圧 V_p とドレイン電圧 V_d の電位差 e はフレーム期間中の大部分で 10 V である。

【 0 0 2 6 】

図 2 は、図 2 6 に示した画素 B におけるゲート電圧 V_g 、ドレイン電圧 V_d 、画素電圧 V_p 及びコモン電圧 V_{com} を示している。図 2 の横軸は時間を表しており、図 1 の横軸と同一でほぼ 2 フレーム分を示している。縦軸は電圧 (V) を表している。画素 B は黒を表示しており、図 2 6 中で画素 B を含むドレインバスライン上の画素の大部分も黒を表示している。そのため、ドレイン電圧 V_d は、フレーム期間中の大部分で + 1 V 又は - 1 V であり、一部が + 5 V 又は - 5 V である。ゲート電極にゲート電圧 V_g が印加されたとき、ドレイン電圧 V_d の + 1 V 又は - 1 V が画素電圧 V_p として画素 B に書き込まれる。

【 0 0 2 7 】

図 3 は、図 2 6 に示した画素 C におけるゲート電圧 V_g 、ドレイン電圧 V_d 、画素電圧 V_p 及びコモン電圧 V_{com} を示している。図 3 の横軸は時間を表しており、図 1 及び図 2 と同一のほぼ 2 フレーム分を示している。縦軸は電圧 (V) を表している。画素 C は白を表示しているが、図 2 6 中で画素 C を含むドレインバスライン上の画素の大部分は黒を表示している。そのため、ドレイン電圧 V_d は、フレーム期間中の大部分で + 1 V 又は - 1 V であり、一部が + 5 V 又は - 5 V である。黒縦帯の縦方向の長さに比例して、ドレイン電圧 V_d が + 1 V 又は - 1 V である時間は長くなる。ゲート電極にゲート電圧 V_g が印加されたとき、ドレイン電圧 V_d の + 5 V 又は - 5 V が画素電圧 V_p として画素 C に書き込まれる。画素電圧 V_p とドレイン電圧 V_d の電位差 e は大部分で 6 V であり、一部で 10 V である。実際に画素電極とドレインバスラインの間に生じる電位差 e はこれらの平均値であるが、黒縦帯の縦方向の長さが長くなれば電位差 e はほぼ 6 V となる。

【 0 0 2 8 】

ここで、画素 A と画素 C における液晶の状態を図 4 乃至図 6 を用いて説明する。図 4 は、画素 A におけるドレインバスライン 4 2 に沿う方向の画素電極 1 6 端

部の概略断面図を示している。アレイ基板 3 2 は、ガラス基板 2 2 上にドレインバスライン 4 2 と画素電極 1 6 を有している。アレイ基板 3 2 と対向する共通電極基板 3 4 は、ほぼ画素電極 1 6 の形成されていない領域に形成された遮光膜 6 と、ほぼ基板全面に形成された共通電極 2 4 とを有している。両基板 3 2、3 4 の対向面には、電圧無印加状態で液晶分子を両基板 3 2、3 4 に対して垂直に配向させるための垂直配向膜（図示せず）が形成されている。また、両基板 3 2、3 4 間には負の誘電率異方性を有する液晶 LC が封入されている。液晶分子の多くは、画素電極 1 6 と共通電極 2 4 の間の電界によって図中右方向へ倒れている。液晶分子が倒れていることによって、画素 A では白表示が得られている。

【 0 0 2 9 】

図 1 に示したように、画素 A ではドレインバスライン 4 2 のドレイン電圧 V_d はフレーム周期で +5 V 又は -5 V であり、画素電極 1 6 の画素電圧 V_p は -5 V 又は +5 V である。共通電極 2 4 のコモン電圧 V_{com} は 0 V である。したがって、画素電極 1 6 とドレインバスライン 4 2 の間の電位差はほぼ 10 V であり、画素電極 1 6 と共通電極 2 4 の間の電位差は 5 V である。図 4 中の破線は電極間に生じる電界 E_1 、 E_2 を表しており、 $|E_2| > |E_1|$ となる。つまり、画素電極 1 6 とドレインバスライン 4 2 の間には、画素電極 1 6 と共通電極 2 4 の間の電界 E_1 より強い横電界 E_2 が生じている。

【 0 0 3 0 】

この強い横電界 E_2 の影響で、画素電極 1 6 とドレインバスライン 4 2 の間の液晶分子は、両基板 3 2、3 4 面に対してほぼ垂直に配向する。しかし、遮光膜 6 はドレインバスライン 4 2 上から画素電極 1 6 端部までを遮光しているので、これらの領域の配向不良は表示には影響しない。また、画素電極 1 6 端部の液晶分子は横電界 E_2 の影響を受けて倒れるものの、もともと白表示のため問題とならない。

【 0 0 3 1 】

図 5 は、画素 C におけるドレインバスラインに沿う方向の画素電極端部の概略断面を示している。なお、図 4 に示した概略断面図の構成要素と同一の機能作用を有する構成要素については、同一の符号を付してその説明を省略する。液晶分

子の多くは、図4に示した画素Aと同様に、画素電極16と共通電極24の間の電界によって図中右方向へ倒れている。液晶分子が倒れていることによって、画素Cではほぼ白表示が得られている。

【0032】

図3に示したように、画素Cでは、ドレインバスライン42のドレイン電圧 V_d はフレーム期間中の大部分で+1V又は-1Vであり、画素電極16の画素電圧 V_p は-5V又は+5Vである。共通電極24のコモン電圧 V_{com} は0Vである。したがって、画素電極16とドレインバスライン42の間の電位差 e はほぼ6Vであり、画素電極16と共通電極24の間の電位差は5Vである。図5中の破線は電極間に生じる電界 E_1 、 E_2 を表しており、 $|E_2| \div |E_1|$ である。画素電極16とドレインバスライン42の間には、画素電極16と共通電極24の間の電界 E_1 とほぼ同じ強さの横電界 E_2 が生じている。

【0033】

この横電界 E_2 の影響で、画素電極16とドレインバスライン42の間の液晶分子は、両基板32、34面に対してほぼ垂直に配向する。しかし、遮光膜6はドレインバスライン42上から画素電極16端部までを遮光しているので、これらの領域の配向不良は表示には影響しない。画素電極16端部の液晶分子は、両基板32、34に垂直な方向の電界 E_1 とほぼ同じ強さの横電界 E_2 の影響を受けるため十分に倒れない。これにより画素電極16端部では同一画素の他の部分と比較して光透過量が減少するため、画素Cは画素Aと比較すると暗く表示され、縦クロストークが発生する。図6は、縦クロストークが生じている液晶表示装置における図25と同様の一画素の平面を示している。上記の配向不良が生じる配向不良領域56は、画素電極112端部のドレインバスライン106に沿う方向であって補助突起132が形成されていない領域に発生する。

【0034】

図7乃至図9は、図27に示した各画素A、B、Cにおけるゲート電圧、ドレイン電圧、画素電圧及びコモン電圧の一例を示すグラフである。図7乃至図9は図1乃至図3と同様のグラフであり、横軸はほぼ2フレーム分の時間を表している。縦軸は電圧(V)を表している。図7は、画素Aにおけるゲート電圧 V_g 、

ドレイン電圧 V_d 、画素電圧 V_p 及びコモン電圧 V_{com} を示している。図 7 中で画素 A を含むドレインバスライン 4 2 上の全ての画素は黒を表示しているので、ドレイン電圧 V_d はフレーム周期で +1 V 又は -1 V となる。ゲート電極にゲート電圧 V_g が印加されたとき、ドレイン電圧 V_d の +1 V 又は -1 V が画素電圧 V_p として画素 A に書き込まれる。画素電圧 V_p とドレイン電圧 V_d の電位差 e はフレーム期間中の大部分で 2 V である。

【 0 0 3 5 】

図 8 は、図 2 7 に示した画素 B におけるゲート電圧 V_g 、ドレイン電圧 V_d 、画素電圧 V_p 及びコモン電圧 V_{com} を示している。画素 B は白を表示しており、図 8 中で画素 B を含むドレインバスライン 4 2 上の画素の大部分も白を表示している。そのため、ドレイン電圧 V_d は、フレーム期間中の大部分で +5 V 又は -5 V であり、一部が +1 V 又は -1 V である。ゲート電極にゲート電圧 V_g が印加されたとき、ドレイン電圧 V_d の +5 V 又は -5 V が画素電圧 V_p として画素 B に書き込まれる。

【 0 0 3 6 】

図 9 は、図 2 7 に示した画素 C におけるゲート電圧 V_g 、ドレイン電圧 V_d 、画素電圧 V_p 及びコモン電圧 V_{com} を示している。画素 C は黒を表示しているが、図 2 7 中で画素 C を含むドレインバスライン 4 2 上の画素の大部分は白を表示している。そのため、ドレイン電圧 V_d は、フレーム期間中の大部分で +5 V 又は -5 V であり、一部が +1 V 又は -1 V である。白縦帯の縦方向の長さに比例して、ドレイン電圧 V_d が +5 V 又は -5 V である時間は長くなる。ゲート電極にゲート電圧 V_g が印加されたとき、ドレイン電圧 V_d の +1 V 又は -1 V が画素電圧 V_p として画素 C に書き込まれる。画素電圧 V_p とドレイン電圧 V_d の電位差 e はフレーム期間中の大部分で 6 V であり、一部で 2 V である。実際に画素電極 1 6 とドレインバスライン 4 2 の間に生じる電位差 e はこれらの平均値であるが、白縦帯の縦方向の長さが長くなれば電位差 e はほぼ 6 V となる。

【 0 0 3 7 】

ここで、画素 A と画素 C の液晶の状態を図 1 0 及び図 1 1 を用いて説明する。図 1 0 は、画素 A におけるドレインバスライン 4 2 に沿う方向の画素電極 1 6 端

部の概略断面図を示している。なお、図 4 に示した概略断面図の構成要素と同一の機能作用を有する構成要素については、同一の符号を付してその説明を省略する。電圧無印加状態の液晶分子は、垂直配向膜（図示せず）により両基板 3 2、3 4 に対してほぼ垂直に配向している。それによって画素 A では黒表示が得られている。

【 0 0 3 8 】

図 7 に示したように、画素 A では、ドレインバスライン 1 0 6 のドレイン電圧 V_d はフレーム周期で + 1 V 又は - 1 V であり、画素電極 1 6 の画素電圧 V_p は - 1 V 又は + 1 V である。共通電極 2 4 のコモン電圧 V_{com} は 0 V である。したがって、画素電極 1 6 とドレインバスライン 4 2 の間の電位差 e はほぼ 2 V であり、画素電極 1 6 と共通電極 2 4 の間の電位差は 1 V である。図 1 0 中の破線は電極間に生じる電界 E_2 を表している。画素電極 1 6 とドレインバスライン 4 2 の間には、画素電極 1 6 と共通電極 2 4 の間の電界と比較して強い横電界は生じていない。

【 0 0 3 9 】

図 1 1 は、画素 C におけるドレインバスライン 4 2 に沿う方向の画素電極 1 6 端部の概略断面図を示している。なお、図 4 に示した概略断面図の構成要素と同一の機能作用を有する構成要素については、同一の符号を付してその説明を省略する。電圧無印加状態の液晶分子の多くは、図 1 0 に示した画素 A と同様に、垂直配向膜により両基板 3 2、3 4 に対してほぼ垂直に配向している。それによって画素 C ではほぼ黒表示が得られている。

【 0 0 4 0 】

図 9 に示したように、画素 C では、ドレインバスライン 4 2 のドレイン電圧 V_d はフレーム期間中の大部分で + 5 V 又は - 5 V であり、画素電極 1 6 の画素電圧 V_p は - 1 V 又は + 1 V である。共通電極 2 4 のコモン電圧 V_{com} は 0 V である。したがって、画素電極 1 6 とドレインバスライン 4 2 の間の電位差 e はほぼ 6 V であり、画素電極 1 6 と共通電極 2 4 の間の電位差は 1 V である。また、ドレインバスライン 4 2 と共通電極 2 4 の間の電位差は 5 V である。なお、図 1 1 中の破線は電極間に生じる電界 E_2 、 E_3 を表している。画素電極 1 6 とドレインバ

スライン 4 2 の間には、画素電極 1 6 と共通電極 2 4 の間の電界と比較して強い横電界 E_2 が生じている。また、ドレインバスライン 4 2 と共通電極 2 4 の間にも強い電界 E_3 が生じている。

【 0 0 4 1 】

この画素電極 1 6 とドレインバスライン 4 2 の間の横電界 E_2 と、ドレインバスライン 4 2 と共通電極 2 4 の間の電界 E_3 との影響で、画素電極 1 6 端部の液晶分子は図中右側に倒れる。この配向不良のため、画素電極 1 6 端部で光漏れが生じ、その影響で画素 C は画素 A と比較すると明るく表示され、縦クロストークが発生する。上記の配向不良は、図 6 に示した配向不良領域 5 6 で生ずる。

【 0 0 4 2 】

さて、本実施の形態による共通電極基板及びそれを備えた液晶表示装置の概略の構成について図 1 2 及び図 1 3 を用いて説明する。図 1 2 は本実施の形態による液晶表示装置の全体構成を示している。アレイ基板 3 2 上には、TFT 2 と、蓄積容量 4 と、例えばインジウム酸化スズ (ITO: Indium Tin Oxide) 等の透明導電膜からなる画素電極を有する画素領域 8 4 とがマトリクス状に多数配置された表示領域 8 6 が画定されている。なお、図 1 2 では画素領域 8 4 内に液晶表示装置の 1 画素分の等価回路を示している。表示領域の周囲の図中左方にはゲートバスライン駆動回路 8 8 が配置され、図中上方にはドレインバスライン駆動回路 9 0 が配置されている。また、システム側からのドットクロックや、水平同期信号 (Hsync)、垂直同期信号 (Vsync)、及び RGB データが入力する入力端子 9 2 が図中パネル上方に設けられている。

【 0 0 4 3 】

アレイ基板 3 2 は図示しないシール剤を介して共通電極基板 3 4 と対向して貼り合わされている。アレイ基板 3 2 と共通電極基板 9 4 との間のセルギャップに負の誘電率異方性を有する液晶 LC が封入されている。アレイ基板 3 2 上の画素電極と共通電極基板 3 4 上の共通電極、及びそれらに挟まれた液晶 LC で液晶容量 C_{lc} が形成されている。一方、アレイ基板 3 2 側で表示電極と蓄積容量バスラインが形成されて蓄積容量 4 が形成されている。

【 0 0 4 4 】

表示領域 8 6 内には図中上下方向に延びるドレインバスライン 4 2 が図中左右方向に平行に複数形成されている。複数のドレインバスライン 4 2 のそれぞれは、ドレインバスライン駆動回路 9 0 に接続されており、ドレインバスライン 4 2 毎に所定の階調電圧が印加されるようになっている。

【 0 0 4 5 】

また、ドレインバスライン 4 2 とほぼ直交する方向に延びるゲートバスライン 3 6 が図中上下方向に平行に複数形成されている。複数のゲートバスライン 3 6 のそれぞれは、ゲートバスライン駆動回路 8 8 に接続されている。ゲートバスライン駆動回路 8 8 は、内蔵したシフトレジスタから出力されるビット出力に同期して、複数のゲートバスライン 3 6 に対して順にゲートパルスを入力するようになっている。

【 0 0 4 6 】

ゲートバスライン駆動回路 8 8 により複数のゲートバスライン 3 6 のいずれか 1 つにゲートパルスが出力されると、当該ゲートバスライン 3 6 に接続されている複数の T F T 2 がオン状態になる。これにより、ドレインバスライン駆動回路 9 0 から複数のドレインバスライン 4 2 のそれぞれに印加されている階調電圧が各画素電極に印加される。

【 0 0 4 7 】

図 1 3 は、本実施の形態による共通電極基板及びそれを備えた液晶表示装置の構成を示す平面図である。図 1 3 は液晶表示装置の一画素を示しており、T F T 2 が設けられているアレイ基板 3 2 上には、図中左右方向に延びるゲートバスライン 3 6 と、図中上下方向に延びるドレインバスライン 4 2 が形成されている。T F T 2 は、ドレインバスライン 4 2 から延びるドレイン電極 5 2 と、ドレイン電極 5 2 と対向配置されるソース電極 5 4 と、ゲートバスライン 3 6 のうちドレイン電極 5 2 及びソース電極 5 4 とオーバーラップする部分（ゲート電極）とからなる。また、図示しないが、ゲートバスライン 3 6 上には、例えばアモルファスシリコン（ α -S i）膜からなるチャネル層が形成されている。さらに、アレイ基板 3 2 にはソース電極 5 4 に接続される画素電極 1 6 が形成されている。画素電極 1 6 には、画素電極 1 6 端辺に対して斜めにスリット 1 2 が設けられ、こ

のスリット 1 2 がアレイ基板 3 2 側の液晶の配向を制御する配向規制用構造物となる。画素電極 1 6 にはスリット 1 2 によって電氣的に分離されないように接続部 1 4 が設けられ、これによって一画素内の画素電極 1 6 は電氣的に接続されている。なお、図 1 3 では画素中央を横切る蓄積容量バスラインの図示は省略している。

【 0 0 4 8 】

共通電極及びカラーフィルタ（図 1 3 では共に図示せず）が形成される共通電極基板 3 4 上には、アレイ基板 3 2 上の T F T 2 が形成されている領域と、それ以外の領域であって画素電極 1 6 又は配向規制用構造物（図 1 3 ではスリット 1 2）が形成されていない領域に、遮光膜 6（図中ハッチングで示す）が C r 等の金属で形成されている。遮光膜 6 は、共通電極基板 3 4 面に垂直な方向から見て、画素電極 1 6 端辺に遮光膜 6 端辺がほぼ一致するように形成されている。共通電極基板 3 4 上には、配向規制用構造物となる線状の突起 8 が画素電極 1 6 端辺に対して斜めに形成されている。また、突起 8 から延出して画素電極 1 6 端部のドレインバスラインに沿う方向に配向規制用構造物となる補助突起 1 0 が形成されている。遮光膜 6 には、共通電極基板 3 4 面に垂直な方向から見て、ドレインバスライン 4 2 に沿う方向であって補助突起 1 0 の形成されていない領域の画素電極 1 6 と重なる重なり領域 1 8 が形成されている。重なり領域 1 8 は、画素電極 1 6 端部に生じた配向不良領域 5 6 を遮光するように設けられている。

【 0 0 4 9 】

図 1 4 は、遮光膜 6 に設けられた重なり領域 1 8 の幅に対する遮光効果を示すグラフである。横軸は重なり領域 1 8 の幅（ μm ）を表しており、縦軸は縦クロストークの程度を図 2 6 又は図 2 7 に示した画素 C と画素 A の明るさの変化に対する視認の程度で表している。なお、重なり領域 1 8 の幅は、基板面に垂直な方向から見て、重なり領域 1 8 のドレインバスライン 4 2 方向の端辺と画素電極 1 6 のドレインバスライン方向の端辺との距離である。図 1 4 に示すように、重なり領域 1 8 の幅が $2\mu\text{m}$ 以下では、明るさの変化が視認できるため縦クロストークは生じている。重なり領域 1 8 の幅が $4\mu\text{m}$ では、明るさの変化が微かに見えるため縦クロストークは発生している。重なり領域 1 8 の幅が $6\mu\text{m}$ 以上では、

明るさの変化が見えなくなるため縦クロストークは生じない。よって、重なり領域 1 8 の幅を基板面に垂直な方向から見て $2\ \mu\text{m}$ 以上に形成すれば縦クロストークの発生を防ぐ効果がある。

【 0 0 5 0 】

図 1 5 は、遮光膜 6 の重なり領域 1 8 の幅に対するパネル透過率の変化を示すグラフである。横軸は重なり領域 1 8 の幅 (μm) を表しており、縦軸はパネル透過率 (%) を表している。図 1 5 に示すように、重なり領域 1 8 の幅が $0\ \mu\text{m}$ のとき (重なり領域 1 8 が無いとき) のパネル透過率は 5. 0 % である。重なり領域 1 8 の幅が増加するにしたがってパネル透過率は減少し、重なり領域 1 8 の幅が $12\ \mu\text{m}$ のときのパネル透過率は 4. 0 % となる。そのため、例えば 4. 0 % 以上のパネル透過率を確保するためには、重なり領域 1 8 の幅を基板面に垂直な方向から見て $12\ \mu\text{m}$ 以下に形成する必要がある。

【 0 0 5 1 】

本実施の形態によれば、遮光膜 6 の重なり領域 1 8 で配向不良領域 5 6 を遮光することにより、縦クロストークの発生を防ぐことができる。

【 0 0 5 2 】

次に、本実施の形態による共通電極基板の変形例を図 1 6 乃至図 1 8 を用いて説明する。図 1 6 は本実施の形態による共通電極基板が有する遮光膜の形状の変形例を示す平面図である。なお、図 1 3 に示した平面図の構成要素と同一の機能作用を有する構成要素については、同一の符号を付してその説明を省略する。本変形例は、補助突起 1 0 が形成されている正常配向領域で、共通電極基板 3 4 面に垂直な方向から見て遮光膜 6 が画素電極 1 6 より外側に形成されていることを特徴としている。図 1 6 において、補助突起 1 0 の形成領域にある遮光膜 6 の端部 1 9 は、図中補助突起 1 0 内に引いた画素電極 1 6 端部 2 0 の隠れ線より外側に位置している。

【 0 0 5 3 】

図 1 7 は、図 1 6 における D-D 線での概略断面図である。アレイ基板 3 2 は、透明絶縁性基板であるガラス基板 2 2 上に形成された絶縁膜 3 0 を有している。絶縁膜 3 0 上の図中右側にはドレインバスライン 4 2 が形成されている。ドレ

インバスライン 4 2 上の基板全面には保護膜 2 8 が形成されている。保護膜 2 8 上の図中左側には画素電極 1 6 が形成されている。

【 0 0 5 4 】

一方、アレイ基板 3 2 と対向する共通電極基板 3 4 は、ガラス基板 2 2 上に形成された遮光膜 6 を有している。遮光膜 6 は、共通電極基板 3 4 面に垂直な方向から見て、画素電極 1 6 の図中右端部と重なる重なり領域 1 8 を有している。遮光膜 6 上にはカラーフィルタ 2 6 が形成されている。カラーフィルタ 2 6 上の基板全面には共通電極 2 4 が形成されている。

【 0 0 5 5 】

図 1 8 は、図 1 6 における E - E 線での概略断面図である。なお、図 1 7 に示した概略断面図の構成要素と同一の機能作用を有する構成要素については、同一の符号を付してその説明を省略する。図 1 8 に示した領域は、共通電極 2 4 上であって画素電極 1 6 端部に対向する位置に補助突起 1 0 が形成されている正常配向領域である。遮光膜 6 は、共通電極基板 3 4 面に垂直な方向から見て画素電極 1 6 より外側に形成されている。

【 0 0 5 6 】

なお、ドレインバスライン 4 2 表面が露出されることによる反射を防ぐため、共通電極基板 3 4 面方向に見た遮光膜 6 端部 1 9 と画素電極 1 6 端部 2 0 との距離は、画素電極 1 6 からドレインバスライン 4 2 までの距離（例えば $7 \mu\text{m}$ ）以下であることが望ましい。

【 0 0 5 7 】

共通電極基板 3 4 上に形成されている補助突起 1 0 は、液晶分子の配向を強く規制するため、補助突起 1 0 が形成されている領域では配向不良は発生しない。そのため、共通電極基板 3 4 面に垂直な方向から見て、補助突起 1 0 が形成されている領域では、画素電極 1 6 より外側に遮光膜 6 を配置することで開口率を向上させることができる。したがって本変形例によれば、パネル透過率を低下させずに上記第 1 の実施の形態と同様の効果を奏することができる。

【 0 0 5 8 】

次に、本発明の第 2 の実施の形態による共通電極基板及びそれを備えた液晶表

示装置を図 1 9 及び図 2 0 を用いて説明する。まず、本実施の形態による共通電極基板及びそれを備えた液晶表示装置の構成について図 1 9 を用いて説明する。液晶表示装置の全体構成は、図 1 2 に示した第 1 の実施の形態と同様の構成を有するのでその説明は省略する。図 1 9 は、本実施の形態による共通電極基板及びそれを備えた液晶表示装置における一画素の構成を示す平面図である。なお、図 1 3 に示した平面図の構成要素と同一の機能作用を有する構成要素については、同一の符号を付してその説明を省略する。

【 0 0 5 9 】

共通電極基板 3 4 上には、直線 α と直線 β に挟まれた領域に赤色のカラーフィルタ R が形成されている。直線 α の図中右側には緑色のカラーフィルタ G が形成されており、直線 β の図中左側には青色のカラーフィルタ B が形成されている。また、ドレインバスライン 4 2 と画素電極 1 6 との間の領域に対向する領域であって、補助突起 1 0 が形成されている正常配向領域以外の領域には、カラーフィルタの形成材料を 2 層以上重ねて形成され、画素電極 1 6 と対向する領域よりも厚く形成されている樹脂 2 層重ね部 5 0 が形成されている。

【 0 0 6 0 】

次に、本実施の形態による共通電極基板及びそれを備えた液晶表示装置における液晶の状態について図 2 0 を用いて説明する。図 2 0 は、図 1 9 における F - F 線での簡略化した断面図であり、図 2 6 に示した画素 C 部を示している。アレ基板 3 2 上にはドレインバスライン 4 2 が図中左側に形成されており、画素電極 1 6 が図中右側に形成されている。一方、共通電極基板 3 4 上の画素電極 1 6 に対向する領域以外の領域には遮光膜 6 が形成されている。また、共通電極基板 3 4 上には、カラーフィルタ R とカラーフィルタ B が形成されている。カラーフィルタ R とカラーフィルタ B は、樹脂 2 層重ね部 5 0 で重なって形成されており、画素電極 1 6 とドレインバスライン 4 2 との間の領域に対向する領域で段差が形成されている。カラーフィルタ R、カラーフィルタ B 及びそれらで形成されている段差上には共通電極 2 4 が形成されており導電性の突起となっている。

【 0 0 6 1 】

図中の破線は電極間に生じる電界 E_1 、 E_2 、 E_4 を表している。画素電極 1 6

端部には、共通電極 2 4 に形成された段差の影響で強い斜め方向の電界 E_4 が生じている。そのため、画素電極 1 6 端部の液晶分子は、図 5 に示した液晶分子と異なり図中右方向へ倒れ、図 4 に示した画素 A の画素電極 1 6 端部の液晶分子と同様の配向となる。

【 0 0 6 2 】

本実施の形態によれば、共通電極 2 4 は、画素電極 1 6 とドレインバスライン 4 2 との間の領域に対向する領域に形成された段差の影響で生じる強い斜め方向の電界により、画素電極 1 6 端部の液晶分子を配向規制できる。そのため、画素電極 1 6 端部の配向不良領域 5 6 に起因する縦クロストークの発生を防ぐことができる。また、配向不良領域 5 6 が減少するため、重なり領域 1 8 の重なり幅を減少させることができ、パネル透過率を向上させることができる。

【 0 0 6 3 】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記第 1 の実施の形態では、遮光膜 6 が重なり領域 1 8 を有する例について説明し、さらに、遮光膜 6 が重なり領域 1 8 を有し、補助突起 1 0 が形成された領域でドレインバスライン 4 2 より外側に遮光膜 6 が形成された変形例について説明したが、本発明はこれに限られない。例えば、補助突起 1 0 が形成された領域でドレインバスライン 4 2 より外側に遮光膜 6 を形成するだけでもよい。補助突起 1 0 が形成された領域では液晶の配向不良が生じないため、縦クロストークを悪化させずにパネル透過率を向上させることができる。

【 0 0 6 4 】

また、上記第 2 の実施の形態においては、カラーフィルタの形成材料を重ねて形成することにより樹脂 2 層重ね部 5 0 で段差を形成しているが、本発明はこれに限らず、黒色樹脂等の他の樹脂で段差を形成してもよい。

【 0 0 6 5 】

さらに、上記実施の形態においては、Cr 等の金属で遮光膜 6 を形成しているが、本発明はこれに限らず、カラーフィルタの形成材料を重ねて遮光膜 6 を形成してもよい。

【 0 0 6 6 】

以上説明した実施の形態に基づき、本発明は以下のようにまとめられる。

(付記 1)

複数のゲートバスライン及びドレインバスラインで画定された画素領域内に形成された画素電極を有するアレイ基板に対向して配置され、負の誘電率異方性を有する液晶を挟持する透明絶縁性基板と、

前記透明絶縁性基板上に形成された共通電極と、

前記共通電極上に形成された線状の突起を有する配向規制用構造物と、

前記透明絶縁性基板上に形成され、前記画素電極端部に生じた前記液晶の配向不良領域を遮光するように、前記透明絶縁性基板面に垂直な方向から見て、前記画素電極と重なる重なり領域を有する遮光膜と

を備えることを特徴とする共通電極基板。

【 0 0 6 7 】

(付記 2)

付記 1 記載の共通電極基板において、

前記遮光膜は、前記透明絶縁性基板面に垂直な方向から見て、前記ドレインバスラインに沿う方向に前記重なり領域を有していること

を特徴とする共通電極基板。

【 0 0 6 8 】

(付記 3)

付記 2 記載の共通電極基板において、

前記重なり領域の幅は、前記透明絶縁性基板面に垂直な方向から見て $2\mu\text{m}$ 以上 $12\mu\text{m}$ 以下であること

を特徴とする共通電極基板。

【 0 0 6 9 】

(付記 4)

付記 1 乃至 3 のいずれか 1 項に記載の共通電極基板において、

前記配向規制用構造物は、前記突起より延出し、前記画素電極端部であって前記ドレインバスラインに沿う方向に形成された補助突起をさらに有し、

前記遮光膜は、前記透明絶縁性基板面に垂直な方向から見て、前記補助突起の

形成されていない領域で前記重なり領域を有していること
を特徴とする共通電極基板。

【 0 0 7 0 】

(付記 5)

付記 1 乃至 4 のいずれか 1 項に記載の共通電極基板において、
前記遮光膜は、前記透明絶縁性基板面に垂直な方向から見て、前記液晶の前記
配向不良領域以外の正常配向領域で前記画素電極より外側に形成されていること
を特徴とする共通電極基板。

【 0 0 7 1 】

(付記 6)

付記 5 記載の共通電極基板において、
前記遮光膜は、前記透明絶縁性基板面に垂直な方向から見て、前記ドレインバ
スラインに沿う方向で前記画素電極より外側に形成されていること
を特徴とする共通電極基板。

【 0 0 7 2 】

(付記 7)

付記 6 記載の共通電極基板において、
前記液晶の前記正常配向領域での前記遮光膜の端部と前記画素電極端部との距
離は、前記透明絶縁性基板面方向に見て $7 \mu\text{m}$ 以下であること
を特徴とする共通電極基板。

【 0 0 7 3 】

(付記 8)

付記 5 乃至 7 のいずれか 1 項に記載の共通電極基板において、
前記配向規制用構造物は、前記突起より延出し、前記画素電極端部であって前
記ドレインバスラインに沿う方向に形成された補助突起をさらに有し、
前記遮光膜は、前記透明絶縁性基板面に垂直な方向から見て、前記補助突起が
形成された領域で前記画素電極より外側に形成されていること
を特徴とする共通電極基板。

【 0 0 7 4 】

(付記 9)

複数のゲートバスライン及びドレインバスラインで画定された画素領域内に形成された画素電極を有するアレイ基板に対向して配置され、負の誘電率異方性を有する液晶を挟持する透明絶縁性基板と、

前記透明絶縁性基板上に形成された共通電極と、

前記共通電極上に形成された線状の突起を有する配向規制用構造物と、

前記透明絶縁性基板上に形成され、前記透明絶縁性基板面に垂直な方向から見て、前記液晶の配向不良領域以外の正常配向領域で前記画素電極より外側に形成された遮光膜と

を備えることを特徴とする共通電極基板。

【 0 0 7 5 】

(付記 1 0)

付記 9 記載の共通電極基板において、

前記遮光膜は、前記透明絶縁性基板面に垂直な方向から見て、前記ドレインバスラインに沿う方向で前記画素電極より外側に形成されていること

を特徴とする共通電極基板。

【 0 0 7 6 】

(付記 1 1)

付記 9 又は 1 0 に記載の共通電極基板において、

前記配向規制用構造物は、前記突起より延出し、前記画素電極端部であって前記ドレインバスラインに沿う方向に形成された補助突起をさらに有し、

前記遮光膜は、前記透明絶縁性基板面に垂直な方向から見て、前記補助突起が形成された領域で前記画素電極より外側に形成されていること

を特徴とする共通電極基板。

【 0 0 7 7 】

(付記 1 2)

付記 1 乃至 1 1 のいずれか 1 項に記載の共通電極基板において、

前記遮光膜は、前記画素領域毎に形成されたカラーフィルタの形成材料を重ねて形成されていること

を特徴とする共通電極基板。

【 0 0 7 8 】

(付記 1 3)

複数のゲートバスライン及びドレインバスラインで画定された画素領域内に形成された画素電極を有するアレイ基板に対向して配置され、負の誘電率異方性を有する液晶を挟持する透明絶縁性基板と、

前記透明絶縁性基板上に形成され、前記画素電極と前記ドレインバスラインとの間の領域に対向する領域に前記液晶を配向規制するための段差が形成された共通電極と、

前記共通電極上に形成された線状の突起を有する配向規制用構造物と、
を備えることを特徴とする共通電極基板。

【 0 0 7 9 】

(付記 1 4)

付記 1 3 記載の共通電極基板において、
前記段差は、前記画素電極に対向する領域より厚く形成されていること
を特徴とする共通電極基板。

【 0 0 8 0 】

(付記 1 5)

付記 1 3 又は 1 4 に記載の共通電極基板において、
前記配向規制用構造物は、前記突起より延出し、前記画素電極端部であって前記ドレインバスラインに沿う方向に形成された補助突起をさらに有し、
前記段差は、前記補助突起の形成されていない領域に形成されていること
を特徴とする共通電極基板。

【 0 0 8 1 】

(付記 1 6)

付記 1 3 乃至 1 5 のいずれか 1 項に記載の共通電極基板において、
前記段差は、前記共通電極の下層に樹脂で形成されていること
を特徴とする共通電極基板。

【 0 0 8 2 】

(付記 1 7)

付記 1 6 記載の共通電極基板において、
前記段差は、前記画素領域毎に形成されたカラーフィルタの形成材料を重ねて形成されていること
を特徴とする共通電極基板。

【 0 0 8 3 】

(付記 1 8)

付記 1 6 記載の共通電極基板において、
前記段差は、黒色樹脂で形成されていること
を特徴とする共通電極基板。

【 0 0 8 4 】

(付記 1 9)

付記 1 乃至 1 8 記載の共通電極基板において、
前記突起は、前記画素電極端辺に対して斜めに形成されていること
を特徴とする共通電極基板。

【 0 0 8 5 】

(付記 2 0)

複数のゲートバスライン及びドレインバスラインで画定された画素領域内に形成された画素電極を有するアレイ基板と、前記アレイ基板に対向して配置され全面に共通電極が形成された対向基板と、前記アレイ基板及び前記対向基板の間に封入された負の誘電率異方性を有する液晶とを有する液晶表示装置であって、
前記対向基板として、付記 1 乃至 1 9 のいずれか 1 項に記載の共通電極基板を用いること
を特徴とする液晶表示装置。

【 0 0 8 6 】

【発明の効果】

以上の通り、本発明によれば、輝度が高く良好な表示特性の得られる共通電極基板及びそれを備えた液晶表示装置を実現できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態の前提となる従来の液晶表示装置における縦クロス
トークの主な原因を説明するグラフである。

【図 2】

本発明の第 1 の実施の形態の前提となる従来の液晶表示装置における縦クロス
トークの主な原因を説明するグラフである。

【図 3】

本発明の第 1 の実施の形態の前提となる従来の液晶表示装置における縦クロス
トークの主な原因を説明するグラフである。

【図 4】

本発明の第 1 の実施の形態の前提となる従来の液晶表示装置における縦クロス
トークの主な原因を説明する図である。

【図 5】

本発明の第 1 の実施の形態の前提となる従来の液晶表示装置における縦クロス
トークの主な原因を説明する図である。

【図 6】

本発明の第 1 の実施の形態の前提となる従来の液晶表示装置の構成を示す平面
図である。

【図 7】

本発明の第 1 の実施の形態の前提となる従来の液晶表示装置における縦クロス
トークの主な原因を説明するグラフである。

【図 8】

本発明の第 1 の実施の形態の前提となる従来の液晶表示装置における縦クロス
トークの主な原因を説明するグラフである。

【図 9】

本発明の第 1 の実施の形態の前提となる従来の液晶表示装置における縦クロス
トークの主な原因を説明するグラフである。

【図 1 0】

本発明の第 1 の実施の形態の前提となる従来の液晶表示装置における縦クロス

トークの主な原因を説明する図である。

【図 1 1】

本発明の第 1 の実施の形態の前提となる従来の液晶表示装置における縦クロス
トークの主な原因を説明する図である。

【図 1 2】

本発明の第 1 の実施の形態による液晶表示装置の全体構成を示す図である。

【図 1 3】

本発明の第 1 の実施の形態による共通電極基板を説明する平面図である。

【図 1 4】

遮光膜が有する重なり領域の画素電極端部からの重なり幅による効果を示すグ
ラフである。

【図 1 5】

遮光膜が有する重なり領域の画素電極端部からの重なり幅によるパネル透過率
の変化を示すグラフである。

【図 1 6】

本発明の第 1 の実施の形態の変形例による共通電極基板を説明する平面図であ
る。

【図 1 7】

本発明の第 1 の実施の形態の変形例による共通電極基板を説明する概略断面図
である。

【図 1 8】

本発明の第 1 の実施の形態の変形例による共通電極基板を説明する概略断面図
である。

【図 1 9】

本発明の第 2 の実施の形態による共通電極基板を説明する平面図である。

【図 2 0】

本発明の第 2 の実施の形態による共通電極基板を説明する概略断面図である。

【図 2 1】

従来の液晶表示装置の構成を示す平面図である。

【図 2 2】

従来の液晶表示装置の構成を示す概略断面図である。

【図 2 3】

従来の液晶表示装置の構成を示す概略断面図である。

【図 2 4】

従来の液晶表示装置の構成を示す概略断面図である。

【図 2 5】

従来の液晶表示装置の構成を示す平面図である。

【図 2 6】

従来の液晶表示装置の課題を説明する図である。

【図 2 7】

従来の液晶表示装置の課題を説明する図である。

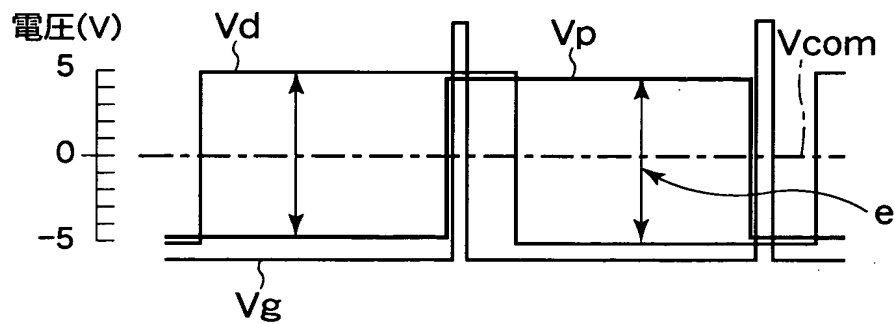
【符号の説明】

- 2 TFT
- 4 蓄積容量
- 6 遮光膜
- 8 突起
- 10 補助突起
- 12 スリット
- 14 接続部
- 16 画素電極
- 18 重なり領域
- 19 遮光膜端部
- 20 画素電極端部
- 22 ガラス基板
- 24 共通電極
- 28 保護膜
- 30 絶縁膜
- 32 アレイ基板

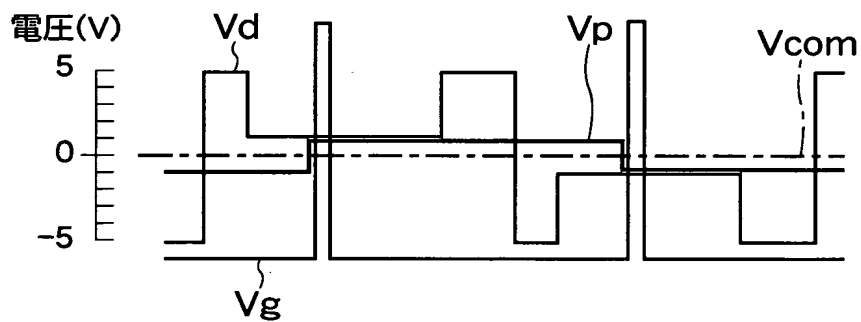
- 3 4 共通電極基板
- 3 6 ゲートバスライン
- 4 2 ドレインバスライン
- 5 0 樹脂 2 層重ね部
- 5 2 ドレイン電極
- 5 4 ソース電極
- 5 6 配向不良領域
- 8 4 画素領域
- 8 6 表示領域
- 8 8 ゲートバスライン駆動回路
- 9 0 ドレインバスライン駆動回路
- 9 2 入力端子

【書類名】 図面

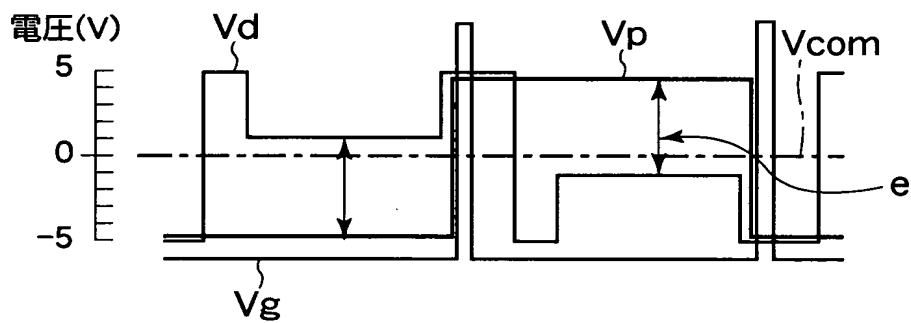
【図 1】



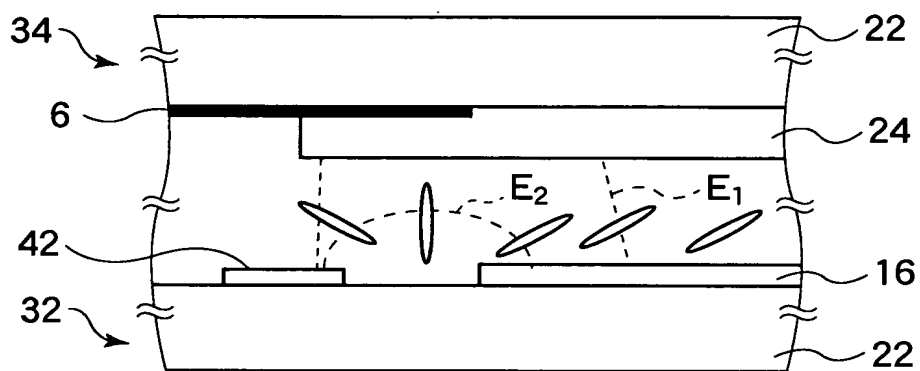
【図 2】



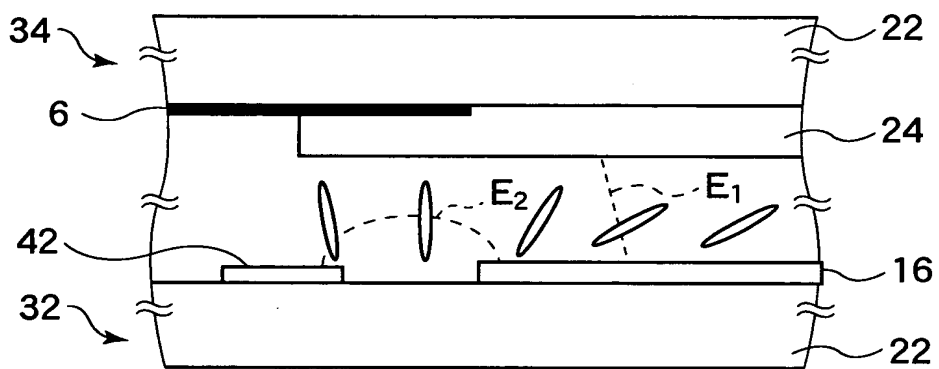
【図 3】



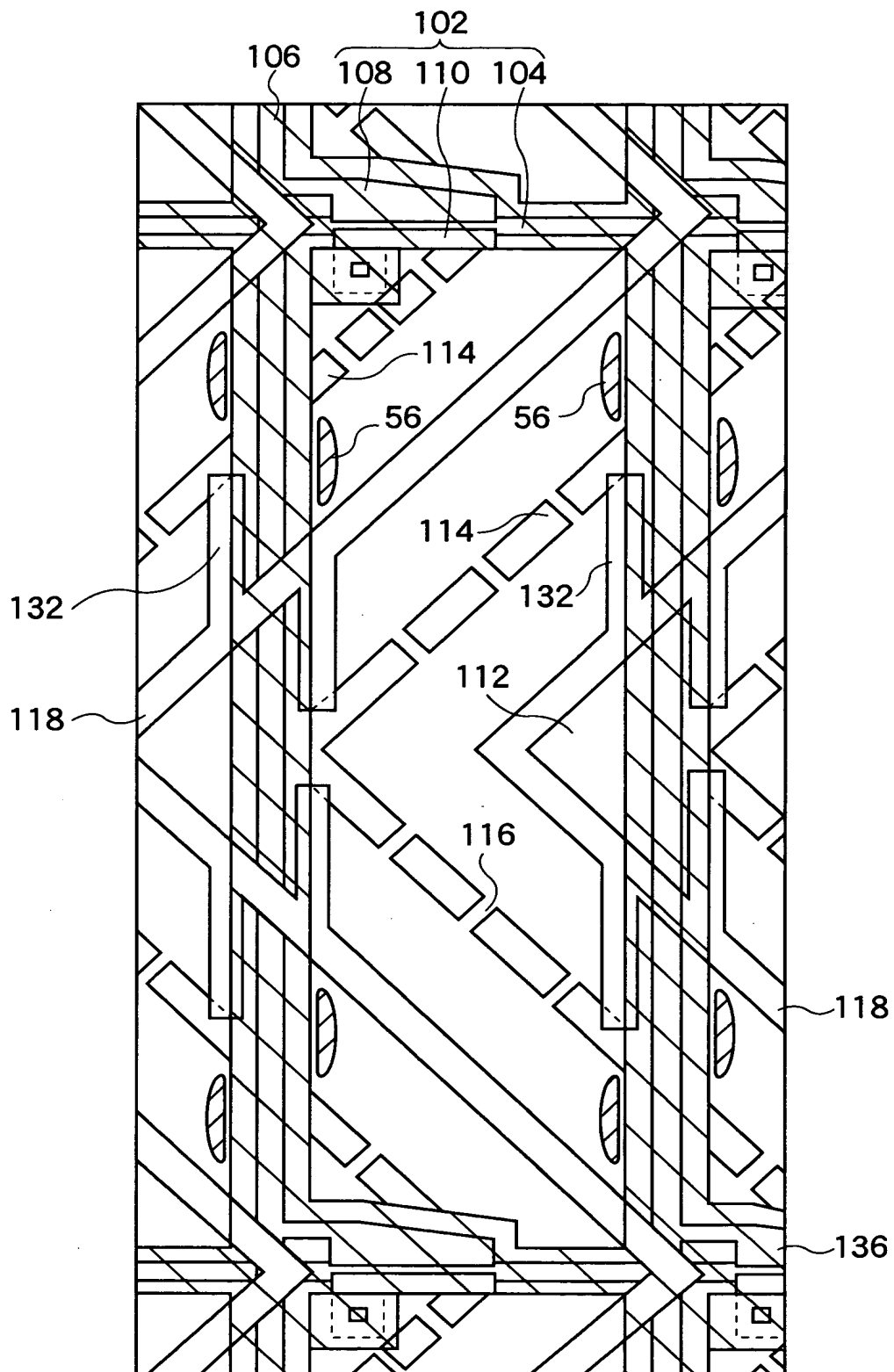
【図 4】



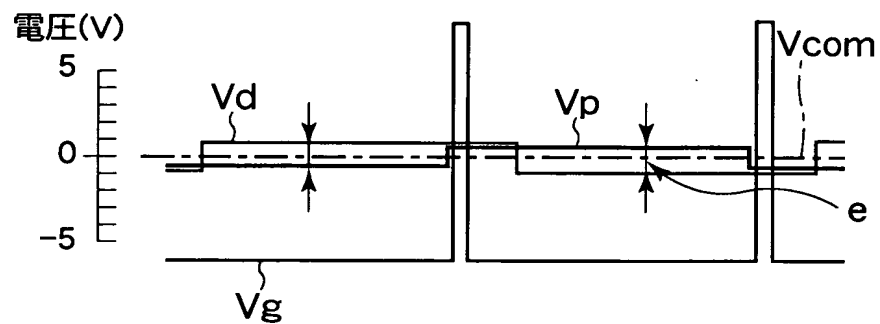
【図 5】



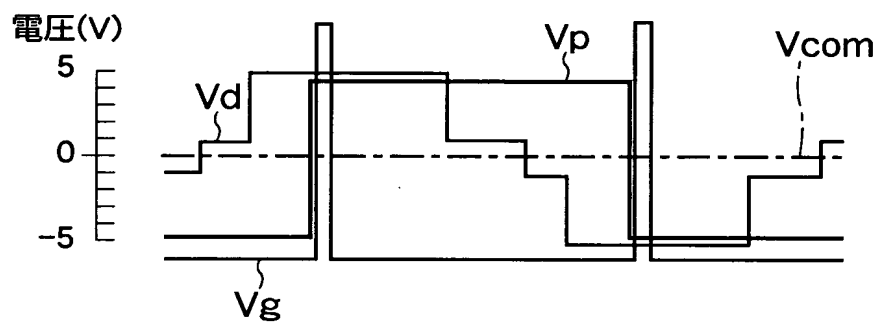
【図 6】



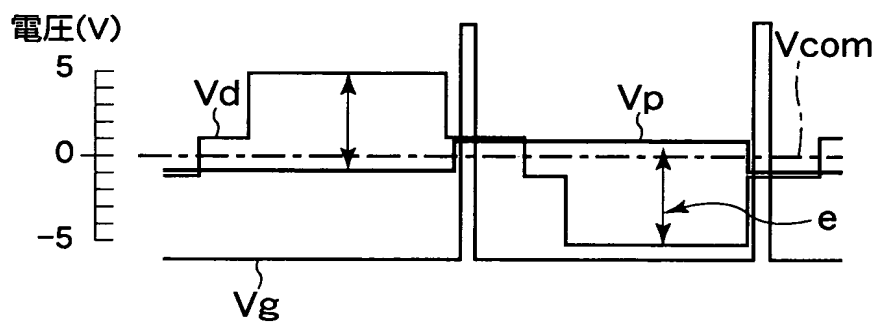
【図 7】



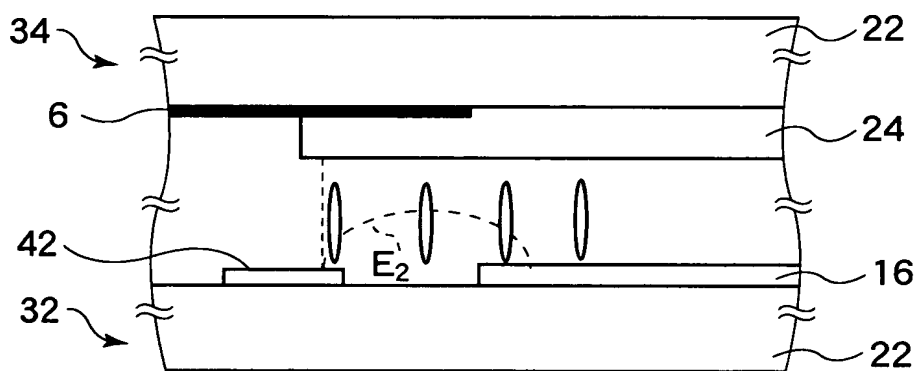
【図 8】



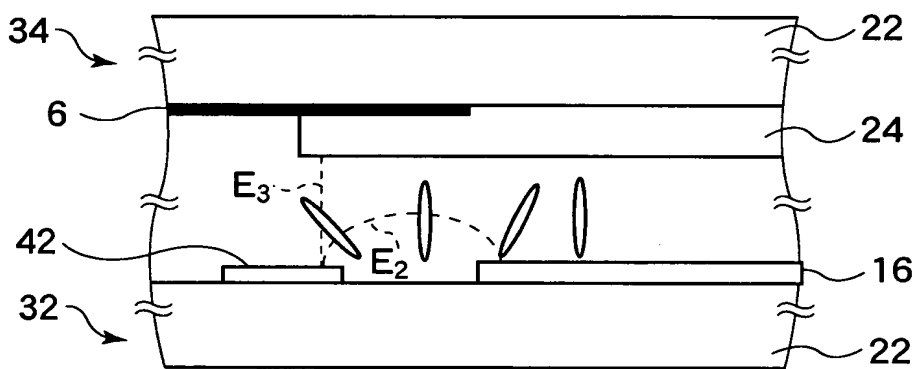
【図 9】



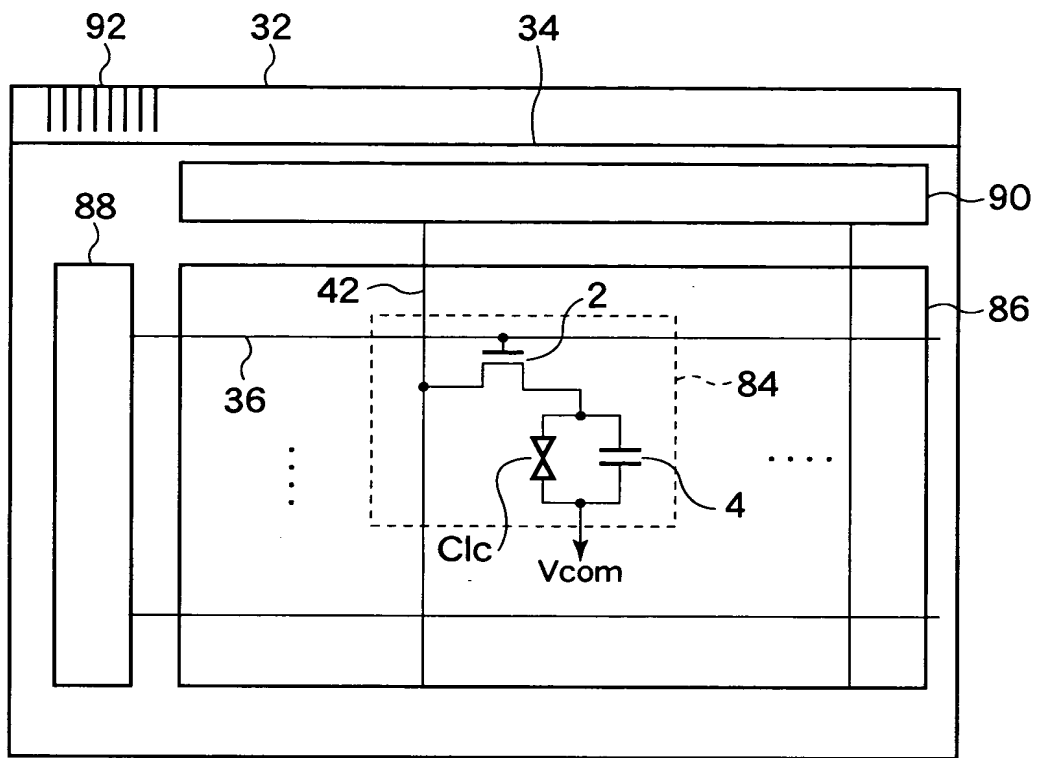
【図 1 0】



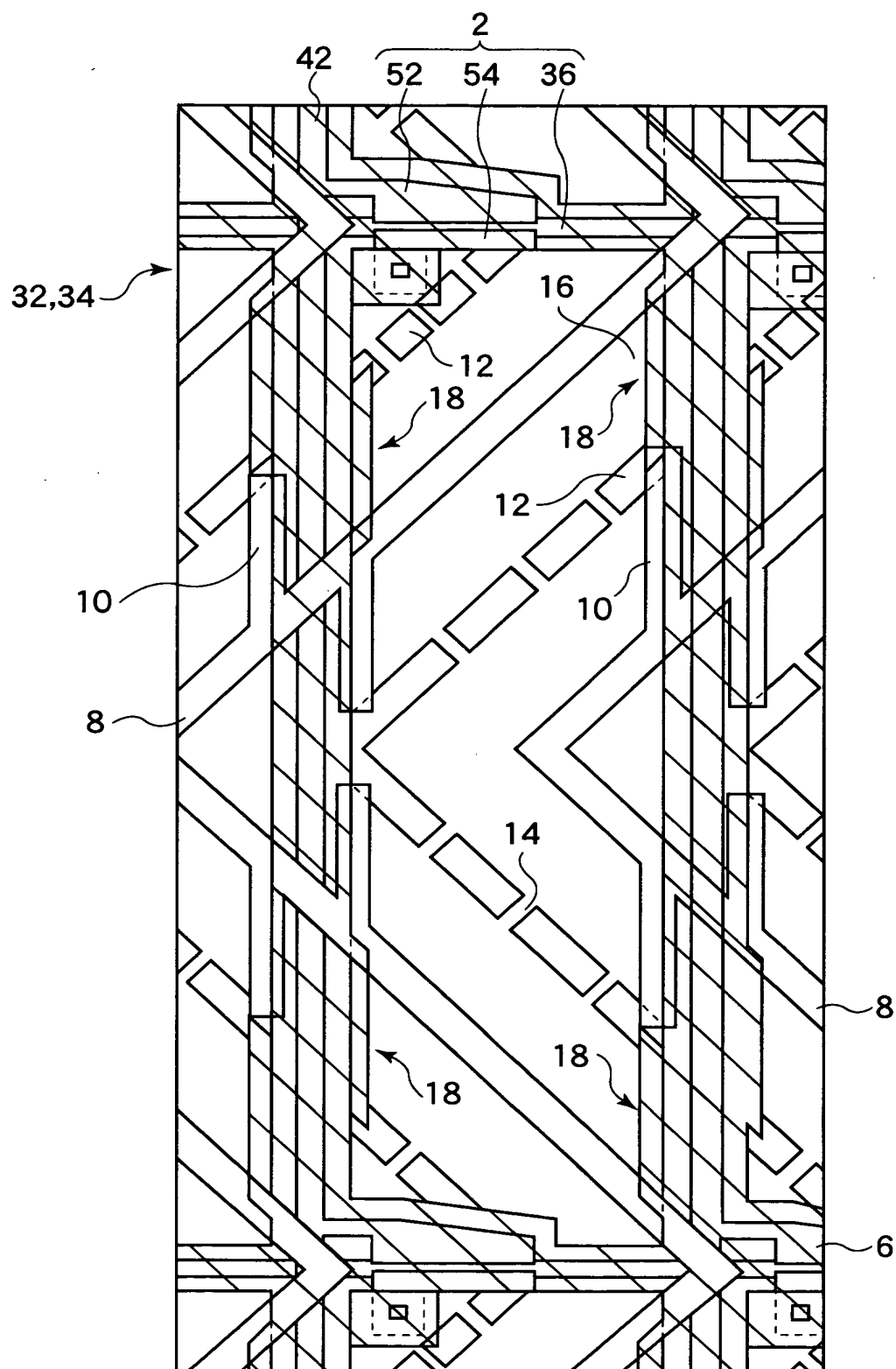
【図 1 1】



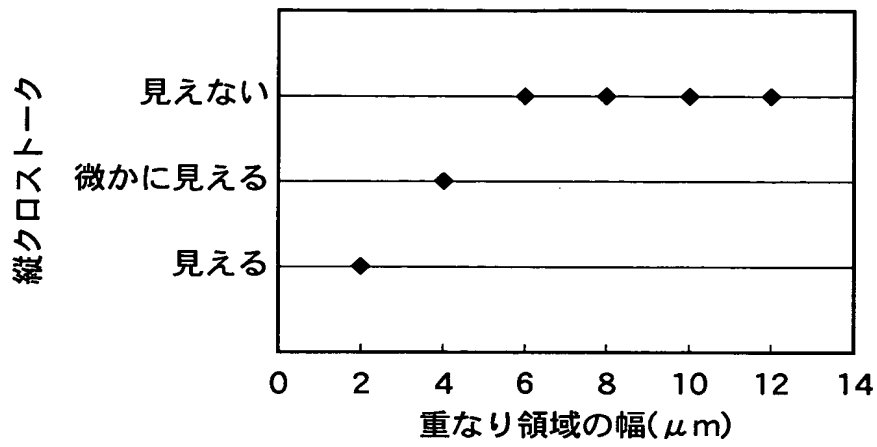
【図 1 2】



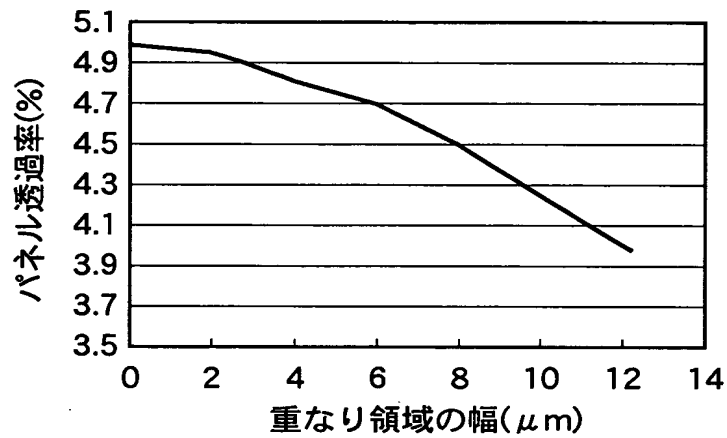
【図 1.3】



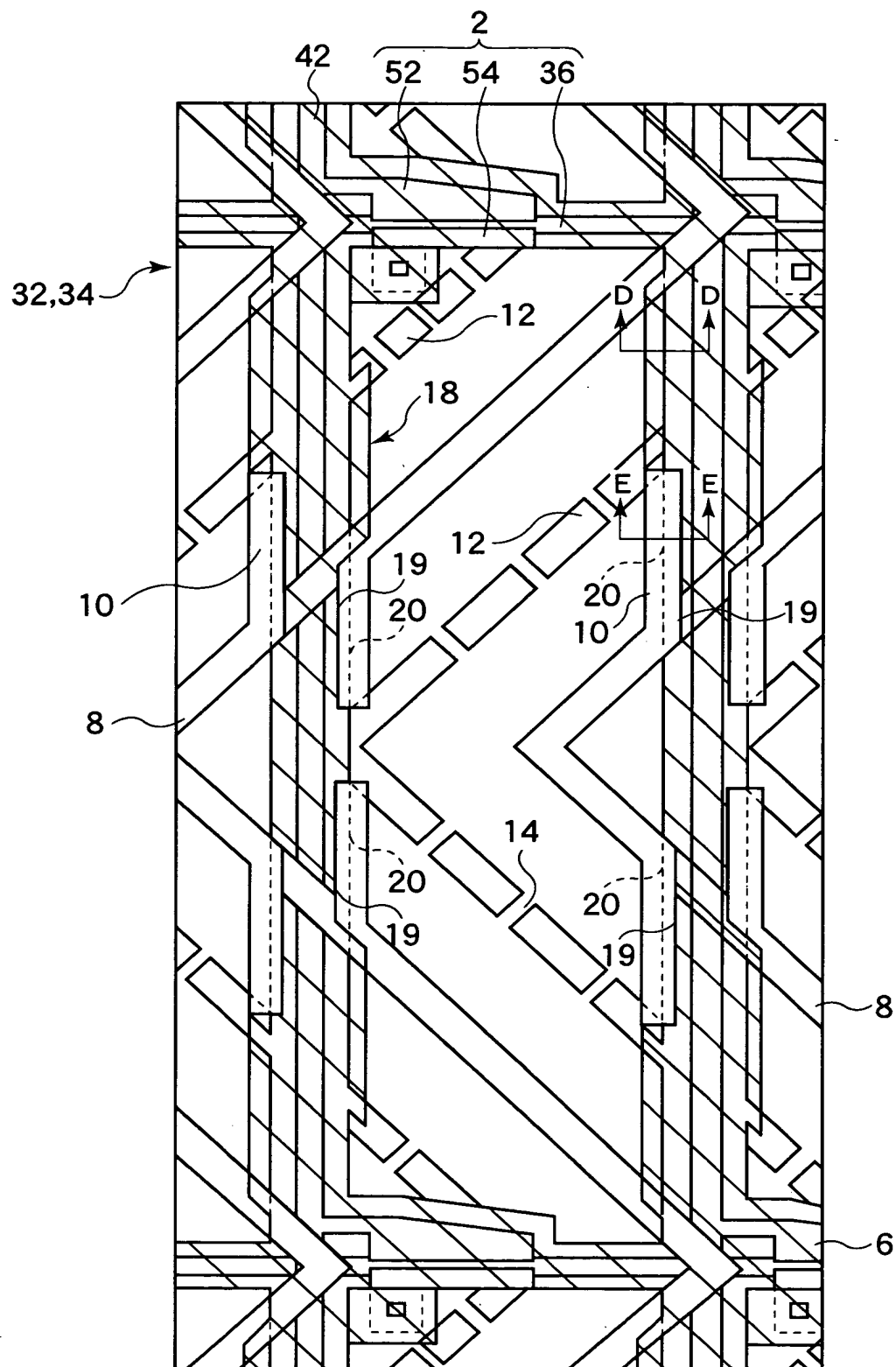
【図 1 4】



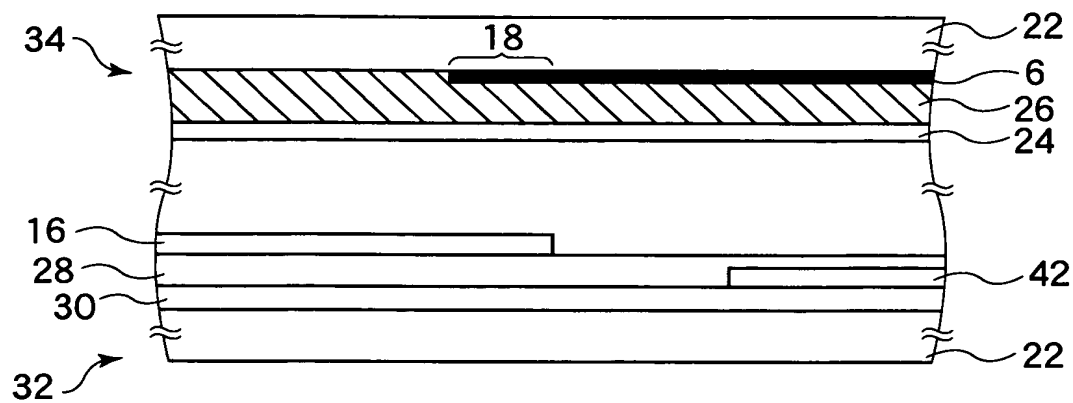
【図 1 5】



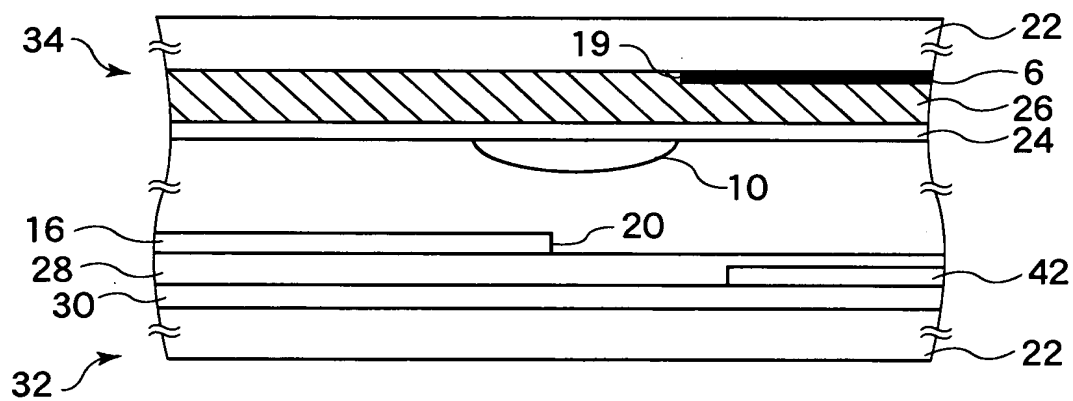
【図16】



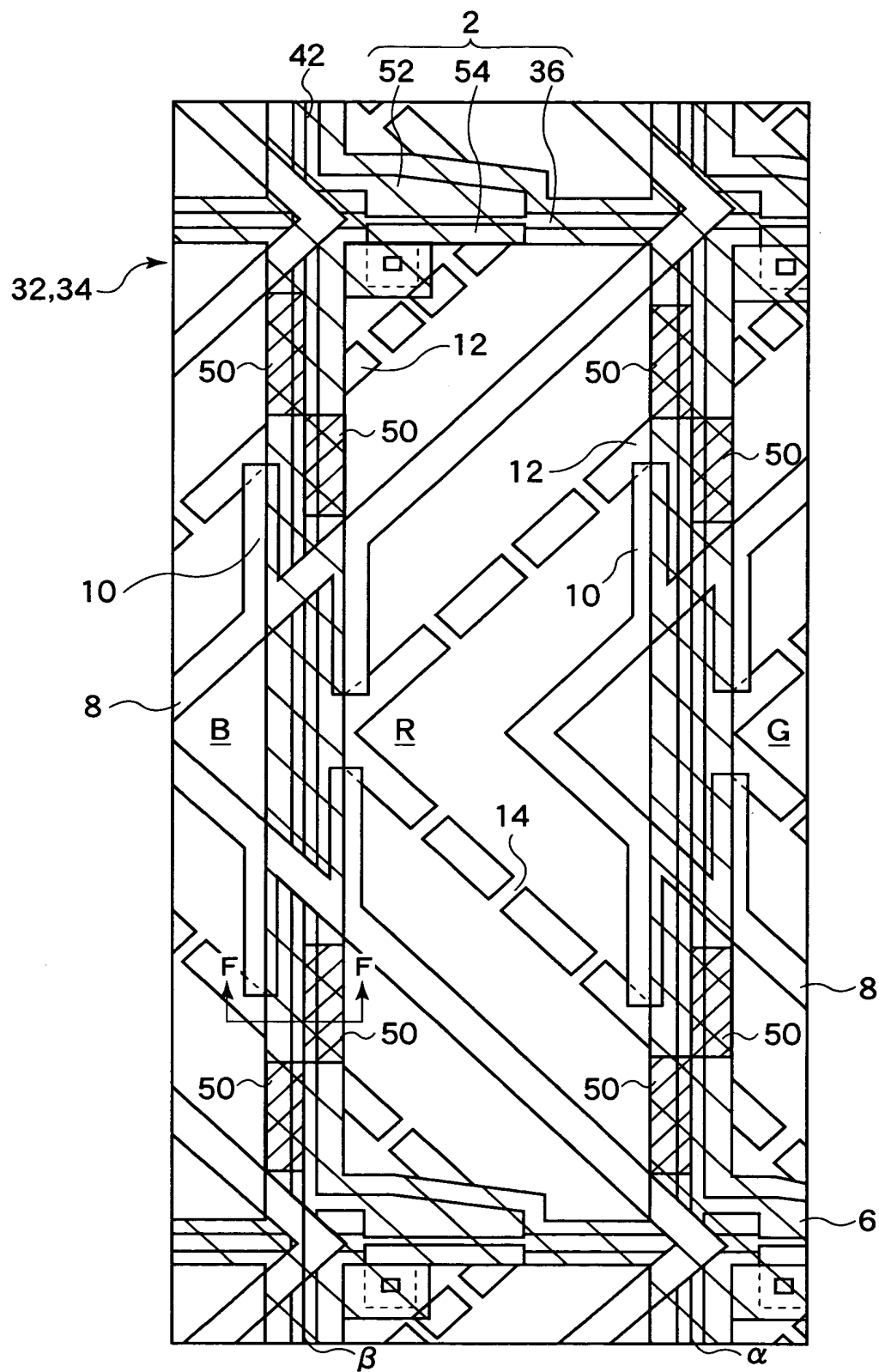
【図 1 7】



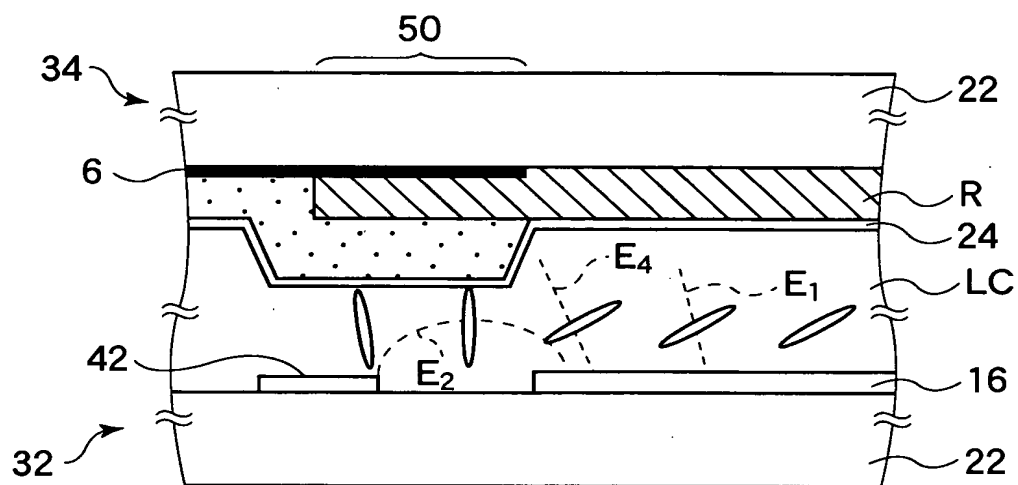
【図 1 8】



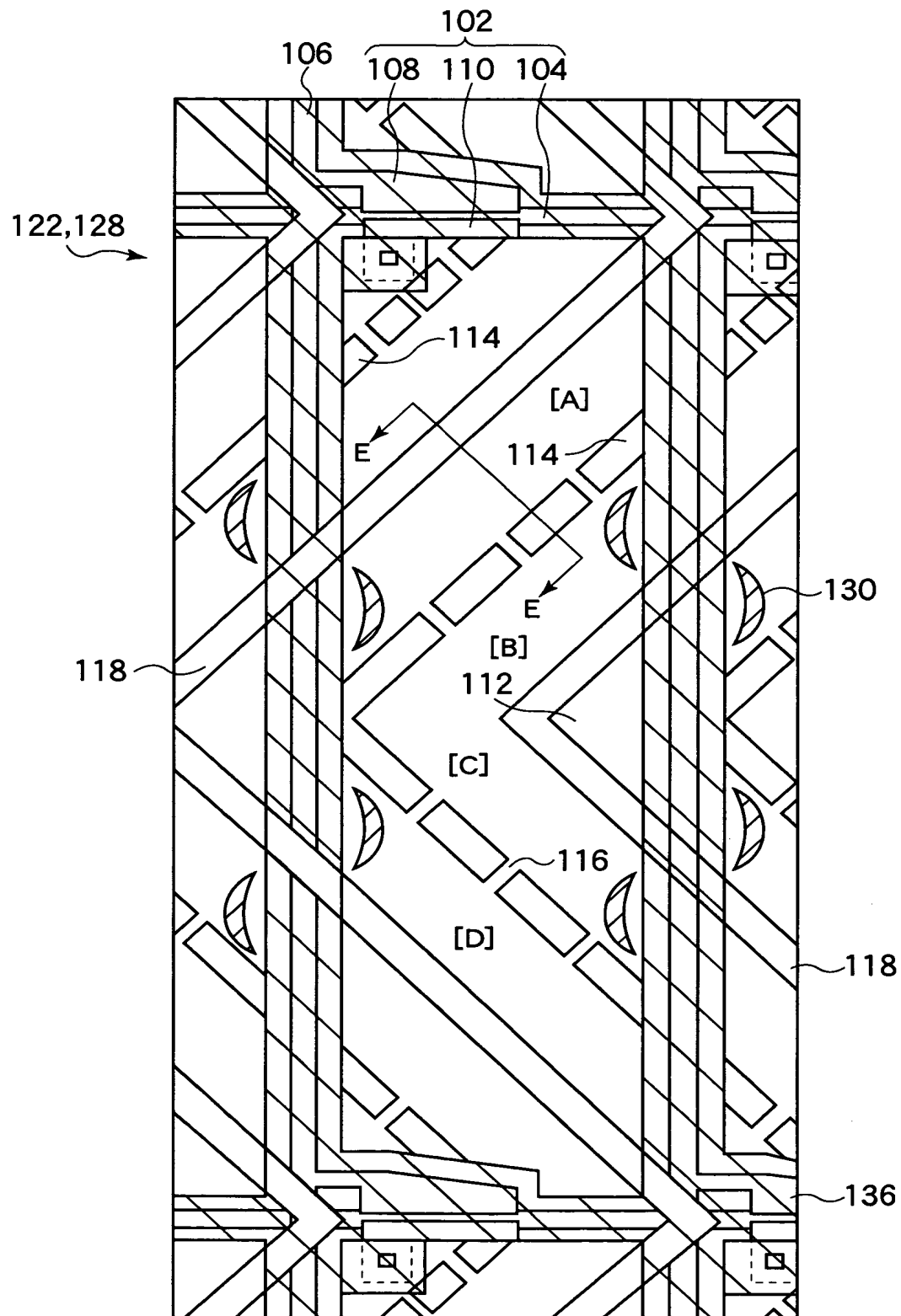
【図19】



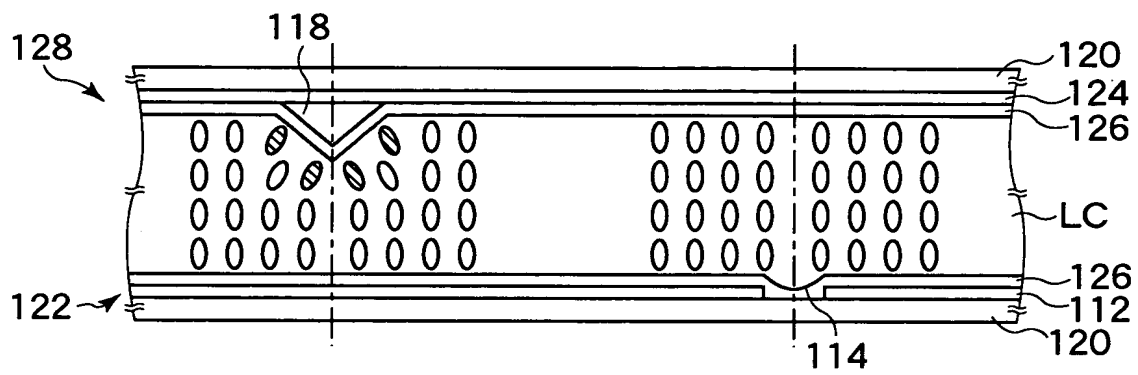
【図 2 0】



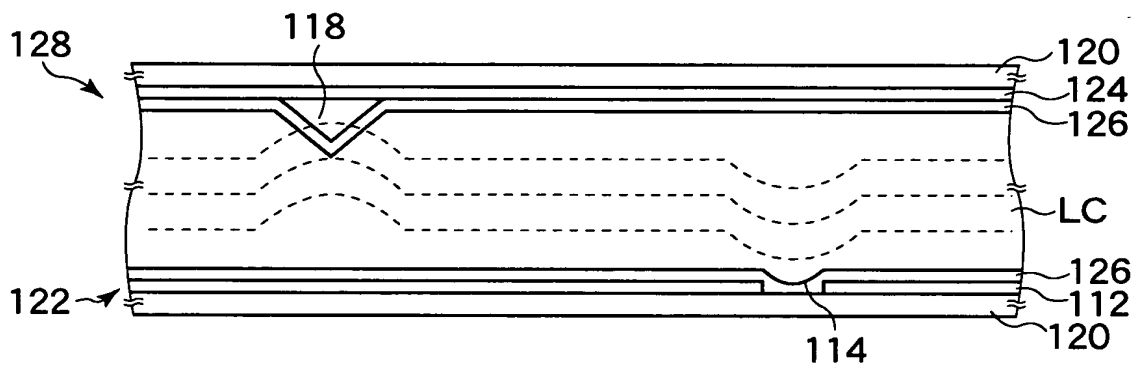
【図 21】



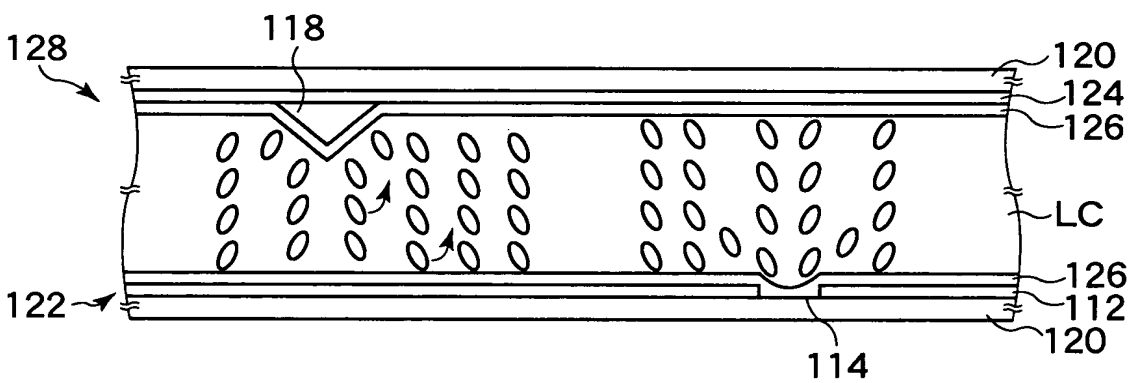
【図 2 2】



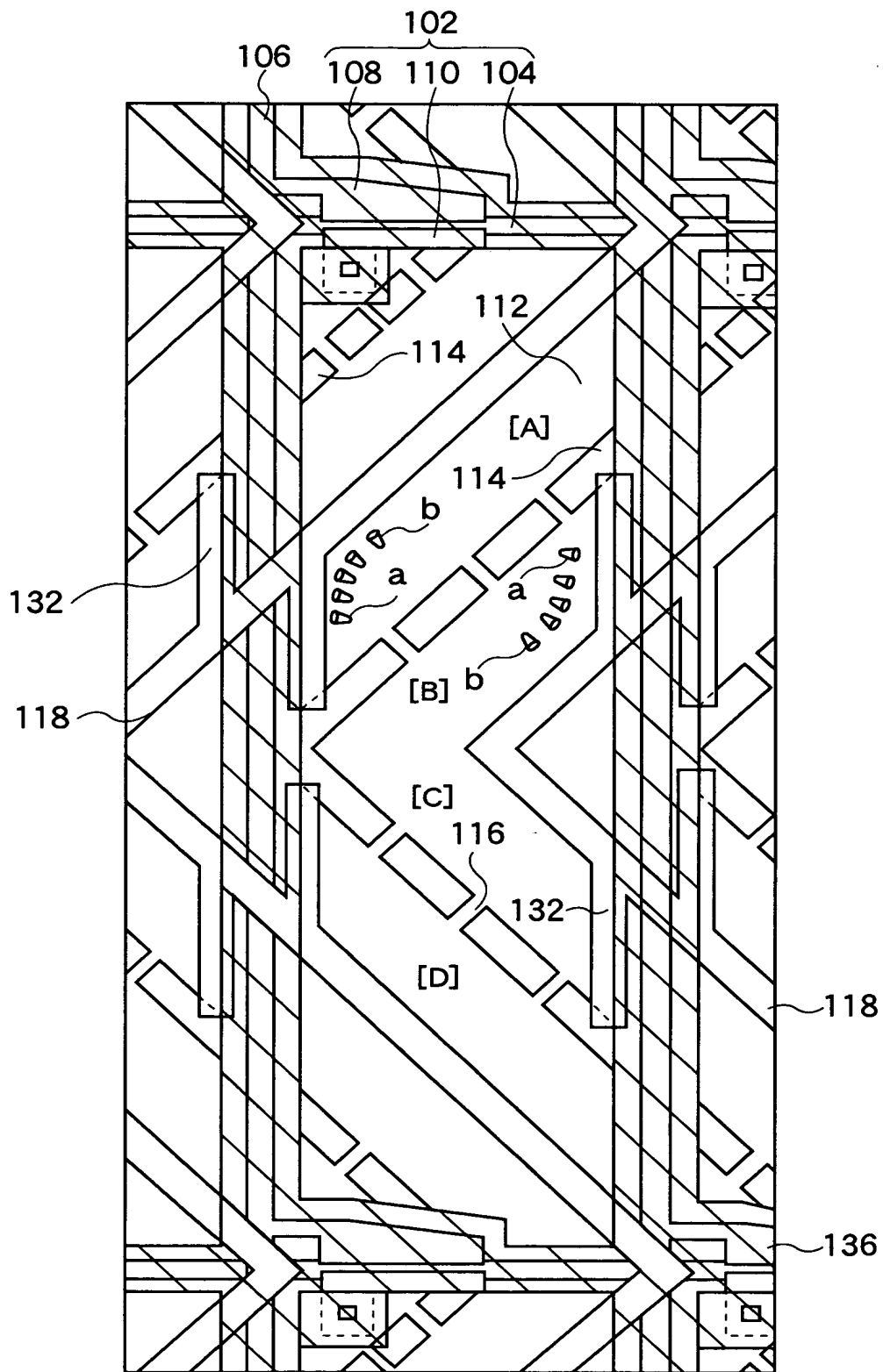
【図 2 3】



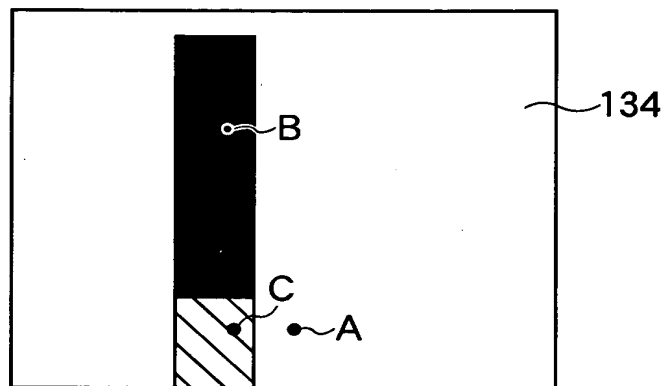
【図 2 4】



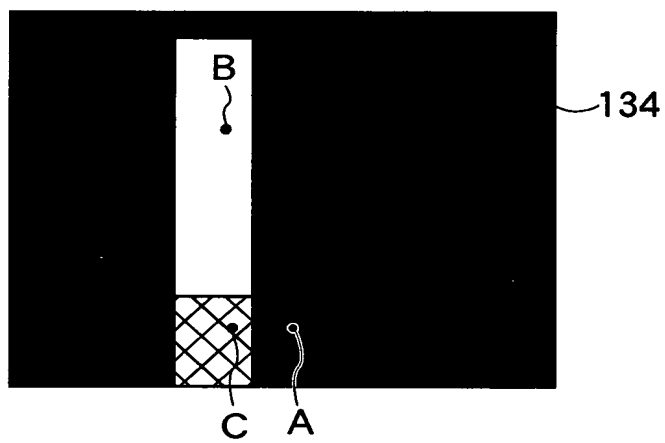
【図 25】



【図 2 6】



【図 2 7】



【書類名】 要約書

【要約】

【課題】本発明は、共通電極基板及びそれを備えた液晶表示装置に関し、輝度が高く良好な表示特性の得られる共通電極基板及びそれを備えた液晶表示装置を提供することを目的とする。

【解決手段】複数のゲートバスライン及びドレインバスラインで画定された画素領域内に形成された画素電極 1 6 を有するアレイ基板に対向して配置され、負の誘電率異方性を有する液晶を挟持する透明絶縁性基板と、透明絶縁性基板上に形成された共通電極と、共通電極上に形成された線状の突起 8 と、透明絶縁性基板上に形成され、画素電極 1 6 端部に生じた液晶の配向不良領域を遮光するように、透明絶縁性基板面に垂直な方向から見て、画素電極 1 6 と重なる重なり領域 1 8 を有する遮光膜 6 とを備えるように構成する。

【選択図】 図 1 3

特 2 0 0 0 - 3 5 6 2 1 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社